

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月14日

出願番号

Application Number:

特願2003-109341

[ST.10/C]:

[JP2003-109341]

出願人

Applicant(s):

株式会社ルネサステクノロジ

2003年 6月 5日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3043783

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Ryohei HIGUCHI et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: October 22, 2003)	Confirmation No.: Unassigned
)	
For: DATA TRANSFER CONTROL)	
APPARATUS)	

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-109341

Filed: April 14, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: October 22, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : April 14, 2003

Application Number : Japanese Patent Application No. 2003-109341

Applicant(s) : Renesas Technology Corp.

This 5th day of June, 2003

Commissioner,
Japan Patent Office Shinichiro OTA

Certificate No. 2003-3043783

【書類名】 特許願

【整理番号】 543594JP01

【提出日】 平成15年 4月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/36

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 樋口 良平

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 平木 俊行

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100066474

 【弁理士】

 【氏名又は名称】 田澤 博昭

【選任した代理人】

 【識別番号】 100088605

 【弁理士】

 【氏名又は名称】 加藤 公延

【手数料の表示】

 【予納台帳番号】 020640

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置

【特許請求の範囲】

【請求項 1】 バスマスタと、

前記バスマスタにマスタバスを介して接続されたバスインタフェースと、

前記バスインタフェースにスレーブバスを介して接続された複数のバススレーブと、

前記複数のバススレーブの中の第 1 バススレーブと複数の第 2 バススレーブとの間を接続する転送用バスと、

前記複数の第 2 バススレーブの中から 1 つを選択するための選択信号を出力する選択部と、

前記転送用バスを用いたデータ転送を行うかどうかを指示するための転送指示信号を出力する転送指示部と、

前記転送指示信号による指示がなされている時に、前記選択信号によって選択された第 2 バススレーブと前記第 1 バススレーブとの間における前記転送用バスを用いたデータ転送を前記スレーブバスに出力されている制御信号に従って制御する転送制御部

とを備えたデータ転送制御装置。

【請求項 2】 第 1 バススレーブはメモリから成り、転送指示部は、スレーブバスに出力されているアドレス信号によって指定される前記メモリのアドレス空間に応じて転送用バスを用いたデータ転送を行うかどうかを決定し、該決定に応じた転送指示信号を転送制御部に送ることを特徴とする請求項 1 記載のデータ転送制御装置。

【請求項 3】 転送指示部はバスマスタに含まれ、前記バスマスタは転送用バスを用いたデータ転送を行うかどうかを指示するため転送指示信号を出力することを特徴とする請求項 1 記載のデータ転送制御装置。

【請求項 4】 選択部はバスマスタに含まれ、前記バスマスタは複数の第 2 バススレーブの中から 1 つを選択するための選択信号を出力することを特徴とする請求項 3 記載のデータ転送制御装置。

【請求項 5】 第 1 バススレーブは、外部に接続される外部デバイスを制御するための外部デバイス制御部から成り、転送制御部は、転送指示信号によって転送用バスを用いたデータ転送を行うことが指示されている時に、選択信号によって選択された第 2 バススレーブと前記外部デバイス制御部を介した前記外部デバイスとの間の前記転送用バスを用いたデータ転送をスレーブバスに出力されている制御信号及び前記外部デバイス制御部から出力される前記外部デバイスを定義する情報に基づいて制御することを特徴とする請求項 4 記載のデータ転送制御装置。

【請求項 6】 複数の第 2 バススレーブは、各々が異なるアドレス空間に割り当てられた複数のモジュールから成り、選択部は、スレーブバスに出力されているアドレス信号によって指定されるアドレス空間に応じて前記複数のモジュールの中から 1 つを選択するための選択信号を出力することを特徴とする請求項 1 記載のデータ転送制御装置。

【請求項 7】 バスマスタは、複数のモジュールを特定するためのアドレス信号を選択部に送り、前記選択部は、前記バスマスタからのアドレス信号に従って、前記複数のモジュールの中から 1 つを選択するための選択信号を出力することを特徴とする請求項 6 記載のデータ転送制御装置。

【請求項 8】 第 2 バスマスタと、前記第 2 バスマスタに第 2 マスタバスを介して接続された第 2 バスインタフェースとを更に備え、転送制御部の制御によって選択信号によって選択された第 2 バススレーブと外部デバイス制御部を介して外部デバイスとの間で行われている転送用バスを用いたデータ転送に並行して、第 2 バスマスタは、前記第 2 バスインタフェースを介して前記複数の第 2 バススレーブの中の 1 つとの間でデータ転送を行うことを特徴とする請求項 5 記載のデータ転送制御装置。

【請求項 9】 転送制御部は、バスマスタから転送指示信号を受け取った時に、第 1 バススレーブに接続されたバスインタフェースに対してデータ転送中であることを示すビジー信号を送って該バスインタフェースへのアクセスを禁止し、前記バスマスタは、前記転送指示信号に応答して前記転送制御部から前記転送指示信号を受け付けたことを表す転送指示受付信号を受け取った後に、外部デバ

イス制御部を介して外部デバイスとの間で行われている転送用バスを用いたデータ転送の終了を待たないで、第2バスインタフェースを介して複数の第2バススレーブの中の1つとの間でデータ転送を行うことを特徴とする請求項8記載のデータ転送制御装置。

【請求項10】 バスマスタは、バス権を確保するためのスレーブバス権確保信号をバスインタフェースに供給し、前記スレーブバス権確保信号を受け取った前記バスインタフェースは、前記バスマスタ又は第2バスマスタからのアクセス要求を受け付けずに第1バススレーブと複数の第2バススレーブの中の1つとの間でデータ転送を行うことを特徴とする請求項8記載のデータ転送制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばシステムL S Iの内部に形成された複数のモジュール間で行われるデータ転送を制御するデータ転送制御装置に関する。

【0002】

【従来の技術】

従来、システムL S Iの内部に構築されるデータ転送制御装置が知られている。このデータ転送制御装置は、バスマスタにマスタバスを介して接続された複数のバスインタフェースユニットと、この複数のバスインタフェースユニットにスレーブバスを介してそれぞれ接続された複数のバススレーブとを備えている。バスマスタは、例えばDMA転送コントローラから構成される。複数のバススレーブは、例えばRAM、入出力モジュール等から構成される。

【0003】

このデータ転送制御装置において、1つのバススレーブである入出力モジュールから他のバススレーブであるRAMへのデータ転送は、次のようにして行われる。まず、バスマスタであるDMA転送コントローラは、バスアービタにリクエストを出して、入出力モジュールにアクセスするためのバス権を獲得し、その後、入出力モジュールからスレーブバス、バスインタフェースユニット及びマスタ

バスを經由してデータを取り込む。次に、DMA転送コントローラは、バスアービタにリクエストを出して、RAMにアクセスするためのバス権を獲得し、その後、先に入出力モジュールから取り込んだデータをRAMに転送して書き込む。

【0004】

関連する技術として、特許文献1は、共通のバスとマイクロプロセッサ及び付加機能回路ユニットとの間に介在して該バス上のデータ又はコマンドの転送を制御するバス制御手段を備え、マイクロプロセッサの命令フェッチ時に該マイクロプロセッサに対しノー・オペレーション命令を発行し、フェッチされたデータ又はコマンドを該マイクロプロセッサを介さずに付加機能回路ユニットへ転送するバス制御方式を開示している。このバス制御方式によれば、付加機能回路ユニットへのデータ又はコマンドの転送を効率良く行うことができ、ひいてはシステムの性能の向上に寄与する。

【0005】

また、特許文献2は、命令を記憶するROM、データを記憶するRAM、CPU及び入出力装置とを備え、CPUが命令を読み出すタイミング、即ち、インストラクション・フェッチの期間に、RAMを周辺回路に開放し、周辺回路は、RAM用のバスを介してCPUの命令実行を妨げることなくRAMにアクセスできるように構成したコンピュータ装置を開示している。このコンピュータ装置によれば、RAMと周辺回路との間で、DMA方式によりデータを転送するとき、インストラクション・フェッチのタイミングでDMA動作を行なうことができるので、命令実行が妨げられず、また、CPUと周辺回路とによるRAMへのアクセスの競合も防止される。

【0006】

更に、特許文献3は、データ処理装置を開示している。このデータ処理装置において、マスタは、第1及び第2の外部バス上のモジュールと自己の間でのデータの送受信を実行し、また、第1及び第2の外部バス上の各モジュール同士のデータの送受信を実行させる。また、マスタは、送信側及び受信側のアドレス情報を外部バス上に送出して、同一或いは異なる外部バス上にあるモジュール間での直接的なデータの送受信を可能にしている。この構成により、バスの配線を必要

最小限に抑えて各モジュール間での通信を可能にし、且つ省電力での動作が可能になっている。

【0007】

【特許文献1】

特開平5-46538号公報

【特許文献2】

特開平5-210616号公報

【特許文献3】

特開2002-7313号公報

【0008】

【発明が解決しようとする課題】

しかしながら、上述した従来のデータ転送制御装置でデータ転送を行う場合は、バス権の獲得、データリード、バス権の獲得及びデータライトという一連の動作をシリアルに行う必要があるので、これらの動作を行うために多数のクロックサイクルが必要である。その結果、データ転送に時間がかかり効率的でないという問題がある。

【0009】

この発明は、上述した問題を解消するためになされたものであり、少ない数のクロックサイクルで効率よく、且つ迅速にデータ転送を行うことができるデータ転送制御装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

この発明に係るデータ転送制御装置は、上記目的を達成するために、バスマスタにマスタバスを介して接続されたバスインタフェースを介して接続された複数のバススレーブと、この複数のバススレーブの中の第1バススレーブと複数の第2バススレーブとの間を接続する転送用バスとを備え、転送指示信号によって転送用バスを用いたデータ転送を行うことが指示されている時に、複数の第2バススレーブの中から選択された1つの第2バススレーブと第1バススレーブとの間における転送用バスを用いたデータ転送をスレーブバスに出力されている制御信

号に従って実行するものである。

【 0 0 1 1 】

【発明の実施の形態】

以下、この発明の実施の形態を図面を参照しながら詳細に説明する。なお、以下で説明する複数の実施の形態において、同一又は相当する構成要素には同一の符号を付して説明する。

【 0 0 1 2 】

先ず、この発明の理解を容易にし、且つこの発明との比較を容易にするために、現在一般的に使用されているデータ転送制御装置について説明する。

【 0 0 1 3 】

図 1 は、システム L S I の内部に形成される一般的なデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、バススレーブとして機能する 3 個の内部モジュール 1 1、2 1 a 及び 2 1 b を備えている。内部モジュール 1 1 は、ランダムアクセスメモリ (R A M) から構成されており、以下では、 R A M 1 1 と称する。また、内部モジュール 2 1 a は入出力モジュール (I O a) から構成されており、以下では第 1 内部モジュール 2 1 a と呼ぶ。内部モジュール 2 1 b は入出力モジュール (I O b) から構成されており、以下では第 2 内部モジュール 2 1 b と呼ぶ。

【 0 0 1 4 】

このデータ転送制御装置は、大きく分けると、バスマスタ 1、マスタバス 1 a、 R A M 用バスインタフェースユニット (以下、「 B I U _ R 」と略する) 1 0、 R A M 用スレーブバス 1 0 a、 R A M 1 1、 I O 用バスインタフェースユニット (以下、「 B I U _ I 」と略する) 2 0、 I O 用スレーブバス 2 0 a、第 1 内部モジュール 2 1 a 及び第 2 内部モジュール 2 1 b から構成されている。

【 0 0 1 5 】

バスマスタ 1 は、 B I U _ R 1 0 を介して R A M 1 1 との間でデータ転送を行うと共に B I U _ I 2 0 を介して第 1 内部モジュール 2 1 a 又は第 2 内部モジュール 2 1 b との間でデータ転送を行う。このバスマスタ 1 は、マスタバス 1 a に接続されている。

【 0 0 1 6 】

マスタバス 1 a は、マスタアドレスバス 2、マスタ制御信号バス 3、マスタライトデータバス 4、RAM 用リードデータバス 5 及び I O 用リードデータバス 6 から構成されている。

【 0 0 1 7 】

マスタアドレスバス 2 は、バスマスタ 1 から出力されるマスタアドレス信号 M A D D R を B I U _ R 1 0 及び B I U _ I 2 0 に送るために使用される。マスタ制御信号バス 3 は、バスマスタ 1 から出力されるマスタ制御信号 M C S を B I U _ R 1 0 及び B I U _ I 2 0 に送るために使用される。このマスタ制御信号 M C S には、アクセス要求信号 R E Q、アクセス許可信号 A C K、アクセス終了信号 E N D 及びマスタリード／ライト信号 R W が含まれる。アクセス要求信号 R E Q は、バスマスタ 1 が B I U _ R 1 0 及び B I U _ I 2 0 に対してアクセスを要求する信号である。アクセス許可信号 A C K は、B I U _ R 1 0 及び B I U _ I 2 0 からのアクセス可能である旨を表す信号の論理和をとった信号である。アクセス終了信号 E N D は、B I U _ R 1 0 及び B I U _ I 2 0 から出力されるアクセスが終了した旨を表す信号の論理和をとった信号である。マスタリード／ライト信号 R W は、バスマスタ 1 がリードアクセスを行うかライトアクセスを行うかを指示する信号である。

【 0 0 1 8 】

マスタライトデータバス 4 は、バスマスタ 1 から出力されるマスタライトデータ M D W を B I U _ R 1 0 及び B I U _ I 2 0 に送るために使用される。RAM 用リードデータバス 5 は、RAM 1 1 から B I U _ R 1 0 を介して送られてくるマスタリードデータ M D R _ R をセクタ 7 に送るために使用される。I O 用リードデータバス 6 は、第 1 内部モジュール 2 1 a 又は第 2 内部モジュール 2 1 b から B I U _ I 2 0 を介して送られてくるマスタリードデータ M D R _ I をセクタ 7 に送るために使用される。

【 0 0 1 9 】

RAM 用リードデータバス 5 及び I O 用リードデータバス 6 はセクタ 7 の入力端子に接続されており、セクタ 7 の出力端子はマスタリードデータバス 8 に

よってバスマスタ 1 に接続されている。このセクタ 7 は、BIU__R 1 0 及び BIU__I 2 0 の何れが動作中であるかに応じて、RAM 用リードデータバス 5 によって送られてくるマスタリードデータ MDR__R 及び IO 用リードデータバス 6 によって送られてくるマスタリードデータ MDR__I の何れかを選択し、マスタリードデータとしてマスタリードデータバス 8 に出力する。

【0 0 2 0】

BIU__R 1 0 は、RAM 1 1 にアクセスするために、マスタバス 1 a のプロトコルと RAM 用スレーブバス 1 0 a のプロトコルとを相互に変換する。この BIU__R 1 0 は、RAM 用スレーブバス 1 0 a を介して RAM 1 1 に接続されている。

【0 0 2 1】

RAM 用スレーブバス 1 0 a は、RAM アドレスバス 1 2、RAM リードデータバス 1 3、RAM ライトデータバス 1 4 及び RAM 制御信号バス 1 5 から構成されている。

【0 0 2 2】

RAM アドレスバス 1 2 は、BIU__R 1 0 から出力される RAM アドレス信号 RADDR を RAM 1 1 に送るために使用される。RAM リードデータバス 1 3 は、RAM 1 1 から読み出された RAM リードデータ RDR を BIU__R 1 0 に送るために使用される。RAM ライトデータバス 1 4 は、BIU__R 1 0 から出力される RAM ライトデータ RDW を RAM 1 1 に送るために使用される。

【0 0 2 3】

RAM 制御信号バス 1 5 は、BIU__R 1 0 から RAM 制御信号 RCS として出力される RAM チップセレクト信号 RCS 及び RAM リード／ライト信号 RRW を RAM 1 1 に送るために使用される。RAM チップセレクト信号 RCS は、RAM 1 1 を選択するために使用される。RAM リード／ライト信号 RRW は、RAM 1 1 に対してリードアクセスを行うかライトアクセスを行うかを指示する信号である。

【0 0 2 4】

BIU__I 2 0 は、第 1 内部モジュール 2 1 a 及び第 2 内部モジュール 2 1 b

にアクセスするために、マスタバス 1 a のプロトコルと I O 用スレーブバス 2 0 a のプロトコルとを相互に変換する。この B I U _ I 2 0 は、I O 用スレーブバス 2 0 a を介して第 1 内部モジュール 2 1 a 及び第 2 内部モジュール 2 1 b に接続されている。

【 0 0 2 5 】

I O 用スレーブバス 2 0 a は、I O アドレスバス 2 2、第 1 I O リードデータバス 2 3 a、第 2 I O リードデータバス 2 3 b、I O ライトデータバス 2 6 及び I O 制御信号バス 2 7 から構成されている。

【 0 0 2 6 】

I O アドレスバス 2 2 は、B I U _ I 2 0 からの I O アドレス信号 I A D D R を第 1 内部モジュール 2 1 a 及び第 2 内部モジュール 2 1 b に送るために使用される。第 1 I O リードデータバス 2 3 a は、第 1 内部モジュール 2 1 a から読み出された第 1 I O リードデータをセクタ 2 4 に送るために使用される。第 2 I O リードデータバス 2 3 b は、第 2 内部モジュール 2 1 b から読み出された第 2 I O リードデータをセクタ 2 4 に送るために使用される。I O ライトデータバス 2 6 は、B I U _ I からの I O ライトデータ I D W を第 1 内部モジュール 2 1 a 及び第 2 内部モジュール 2 1 b に送るために使用される。I O 制御信号バス 2 7 は、B I U _ I 2 0 から出力される I O リード／ライト信号 I R W を第 1 内部モジュール 2 1 a 及び第 2 内部モジュール 2 1 b に送るために使用される。

【 0 0 2 7 】

セクタ 2 4 の出力端子は I O リードデータバス 2 5 によって B I U _ I 2 0 に接続されている。このセクタ 2 4 は、第 1 I O チップセレクト信号 I C S a 及び第 2 I O チップセレクト信号 I C S b の何れがアクティブであるかに応じて、第 1 I O リードデータバス 2 3 a によって送られてくる第 1 I O リードデータ及び第 2 I O リードデータバス 2 3 b によって送られてくる第 2 I O リードデータの何れか選択し、I O リードデータ I D R として、I O リードデータバス 2 5 に出力する。

【 0 0 2 8 】

また、B I U _ I 2 0 から第 1 内部モジュール 2 1 a 及び第 2 内部モジュール

2 1 b に対し、第 1 I O 選択信号線 2 8 a 及び第 2 I O 選択信号線 2 8 b がそれぞれ接続されている。第 1 I O 選択信号線 2 8 a は、B I U _ I 2 0 が第 1 内部モジュール 2 1 a を選択するための第 1 I O チップセレクト信号 I C S a を送るために使用される。第 2 I O 選択信号線 2 8 b は、B I U _ I 2 0 が第 2 内部モジュール 2 1 b を選択するための第 2 I O チップセレクト信号 I C S b を送るために使用される。

【 0 0 2 9 】

次に、上記のように構成される一般的なデータ転送制御装置の動作を説明する。まず、データ転送制御装置の概略の動作を説明する。

【 0 0 3 0 】

ここでは、データ転送制御装置の動作の一例として、R A M 1 1 に記憶されているデータを第 1 内部モジュール 2 1 a に転送する場合を説明する。データ転送制御装置の動作は、バスマスタ 1 が R A M 1 1 からデータを読み出すリード動作と、バスマスタ 1 が第 1 内部モジュール 2 1 a にデータを書き込むライト動作とから構成されている。

【 0 0 3 1 】

まず、バスマスタ 1 が R A M 1 1 からデータを読み出すリード動作を説明する。バスマスタ 1 は、データをリードするために必要なマスタ制御信号 M C S をマスタ制御信号バス 3 に出力する。同時に、R A M 1 1 のリード開始位置を指示するマスタアドレス信号 M A D D R をマスタアドレスバス 2 に出力する。B I U _ R 1 0 は、マスタ制御信号 M C S がマスタ制御信号バス 3 に出力されると、マスタアドレスバス 2 に出力されているマスタアドレス信号 M A D D R が R A M 1 1 を指定するものであるかどうかを調べる。そして、R A M 1 1 を指定するマスタアドレス信号 M A D D R であることを判断すると、B I U _ R 1 0 は、R A M 用スレーブバス 1 0 a に対してデータリードのを実行する。

【 0 0 3 2 】

即ち、B I U _ R 1 0 は、R A M 制御信号バス 1 5 に、R A M 1 1 からデータをリードするために必要な R A M 制御信号 R C S を出力する。同時に、R A M アドレスバス 1 2 に、R A M 1 1 のリード開始位置を指示するアドレスを R A M ア

ドレス信号 RADDR として出力する。これにより、RAM 11 からデータが読み出され、RAM リードデータ RDR として RAM リードデータバス 13 に出力される。BIU__R10 は、RAM リードデータバス 13 を用いて送られている RAM リードデータ RDR を、マスタリードデータ MDR__R としてマスタバス 1a の中の RAM 用リードデータバス 5 に出力する。

【0033】

バスマスタ 1 が RAM 11 にアクセスする時は、セクタ 7 は、図示しない制御部により、RAM リードデータバス 13 を選択するように制御される。従って、セクタ 7 は、RAM 用リードデータバス 5 に出力されたマスタリードデータ MDR__R を選択し、マスタリードデータとしてマスタリードデータバス 8 に出力する。バスマスタ 1 は、このマスタリードデータバス 8 からのマスタリードデータを取り込む。以上により、バスマスタ 1 が RAM 11 からデータを読み込むリード動作が完了する。

【0034】

次に、バスマスタ 1 が第 1 内部モジュール 21a にデータを書き込むライト動作を説明する。バスマスタ 1 は、データをライトするために必要なマスタ制御信号 MCS をマスタ制御信号バス 3 に出力する。同時に、第 1 内部モジュール 21a に割り当てられているアドレスをマスタアドレス信号 MADDR としてマスタアドレスバス 2 に出力する。更に、先に RAM 11 からリードしたデータを、マスタライトデータ MDW としてマスタライトデータバス 4 に出力する。

【0035】

BIU__I20 は、マスタ制御信号 MCS がマスタ制御信号バス 3 に出力されると、マスタアドレスバス 2 に出力されているマスタアドレス信号 MADDR が第 1 内部モジュール 21a を指定するものであるかどうかを調べる。そして、第 1 内部モジュール 21a を指定するマスタアドレス信号 MADDR であることを判断すると、BIU__I20 は、IO 用スレーブバス 20a に対してデータライトのプロトコルを実行する。

【0036】

即ち、BIU__I20 は、第 1 IO 選択信号線 28a に出力する第 1 IO 選択

信号 I C S a をアクティブにする。これにより、第 1 内部モジュール 2 1 a が選択されて動作可能になる。同時に、データをライトするために必要な I O リード／ライト信号 I R W を I O 制御信号バス 2 7 に出力する。また、I O アドレスバス 1 2 に、データの書き込み位置を指示する I O アドレス信号 I A D D R を出力する。更に、マスタライトデータバス 4 から送られてきたマスタライトデータ M D W を、I O ライトデータ I D W として I O ライトデータバス 2 6 に出力する。これにより、バスマスタ 1 から送られてきたデータが第 1 内部モジュール 2 1 a に書き込まれる。以上により、バスマスタ 1 が第 1 内部モジュール 2 1 a にデータを書き込むライト動作が完了する。以上のリード動作及びライト動作により、R A M 1 1 に記憶されている 1 つのデータを第 1 内部モジュール 2 1 a に転送する動作が完了する。

【 0 0 3 7 】

次に、図 2 に示したタイミングチャートを参照しながら、データ転送制御装置の動作を更に詳細に説明する。

【 0 0 3 8 】

図 2 は 4 つのデータを R A M 1 1 から第 1 内部モジュール 2 1 a に転送する場合のタイミングを示している。なお、図 2 中において、R 0 ～ R 3 は、データ転送時に実行される 4 つのデータのリード動作に関連する信号であることを表し、W 0 ～ W 3 は、データ転送時に実行される 4 つのデータのライト動作に関連する信号であることを表している。これらの記号 R 0 ～ R 3、W 0 ～ W 3 及び R は、後に出現する他のタイミングチャートでも上記と同様の意味で使用される。

【 0 0 3 9 】

クロックサイクル（以下、「C L K」と略する）“ 1 ”において、バスマスタ 1 はアクセス要求信号 R E Q、マスタリード／ライト信号 R W 及びマスタアドレス信号 M A D D R をアサートする。マスタリード／ライト信号 R W は、高レベル（以下、「H レベル」という）でリードを、低レベル（以下、「L レベル」という）でライトを表す。B I U _ R 1 0 は、マスタアドレスバス 2 に出力されているマスタアドレス信号 M A D D R を調べることにより R A M 1 1 に対するアドレスが出力されており、且つ応答可能状態にあることを判断すると、C L K 1 でア

アクセス許可信号ACKをアサートする。また、BIU_R10は、CLK1で、RAMチップセレクト信号RCS、RAMアドレス信号RADDR及びRAMリード／ライト信号RRWをアサートすることにより、RAM11に対してリード要求を出す。RAMリード／ライト信号RRWは、Hレベルでリードを、Lレベルでライトを表す。

【0040】

上記リード要求に応答してRAM11から読み出されたRAMリードデータRDRは、リード要求の次のCLK“2”でRAMリードデータバス13に出力される。このRAMリードデータバス13に出力されたRAMリードデータRDRは、CLK“2”において、BIU_Rを介してマスタバス1aのRAM用リードデータバス5に、マスタリードデータMDR_Rとして出力される。同時に、BIU_R10は、アクセス終了信号ENDをアサートする。

【0041】

RAM用リードデータバス5に出力されたマスタリードデータMDR_Rは、CLK2において、セクタ7で選択され、マスタリードデータバス8に出力される。このマスタリードデータバス8に出力されたリードデータは、CLK“2”において、バスマスタ1に取り込まれる。以上により、バスマスタ1がRAM11からデータを読み出すリード動作が完了する。

【0042】

次に、バスマスタ1は、取り込んだリードデータを、次のCLK“3”において、マスタライトデータMDWとしてマスタライトデータバス4に出力する。これと同時に、バスマスタ1はアクセス要求信号REQ、マスタアドレス信号MADDR及びマスタリード／ライト信号RWをアサートする。

【0043】

BIU_I20は、マスタアドレスバス2に出力されているマスタアドレス信号MADDRを調べることにより第1内部モジュール21aに対するアドレスが出力されており、且つ動作可能状態にあることを判断すると、CLK“3”でアクセス許可信号ACKをアサートする。また、BIU_I20は、CLK“3”で、IOチップセレクト信号ICSa及びIOリード／ライト信号IRWをアサ

ートする。更に、I O アドレス信号 I A D D R を I O アドレスバス 2 2 に出力し、更に、I O ライトデータ I D W を I O ライトデータバス 2 6 に出力することにより第 1 内部モジュール 2 1 a に対してライト要求を出す。I O リード／ライト信号 I R W は、H レベルでリードを、L レベルでライトを表す。これにより、I O ライトデータ I D W が I O アドレス信号 I A D D R で指定された位置に書き込まれる。以上により、バスマスタ 1 が第 1 内部モジュール 2 1 a にデータを書き込むライト動作が完了し、以て、R A M 1 1 に記憶されている 1 つのデータを第 1 内部モジュール 2 1 a に転送する動作が完了する。以下、同様にして、2 ～ 4 番目のデータの転送が行われる。

【 0 0 4 4 】

なお、第 1 内部モジュール 2 1 a から R A M 1 1 へのデータ転送は、バスマスタ 1 が第 1 内部モジュール 2 1 a からデータをリードする動作とバスマスタ 1 が R A M 1 1 にデータを書き込む動作とにより構成される。これらの動作は、上述した R A M 1 1 から第 1 内部モジュール 2 1 a へデータ転送する動作と同様であるので説明を省略する。

【 0 0 4 5 】

このデータ転送制御装置では、4 つのデータを R A M 1 1 から第 1 内部モジュール 2 1 a に転送するために 1 2 個のクロックサイクルを要する。

【 0 0 4 6 】

実施の形態 1 .

次に、この発明の実施の形態 1 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、バススレーブとして機能するように L S I 内に設けられた複数の内部モジュール間の転送を、転送用バスを用いて行うようにしたものである。なお、以下では、図 1 に示したデータ転送制御装置の構成要素と同一又は相部分には、それらと同一の符号を付して説明を省略する。

【 0 0 4 7 】

図 3 は、この発明の実施の形態 1 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 1 に示した構成要素から、バスマスタ 1、I O 用リードデータバス 6、セクタ 7、B I U _ I 2 0、第 1 内部モ

ジュール 2 1 a、第 2 内部モジュール 2 1 b、セクタ 2 4 及びこれらに付属する配線を除去し、新たにバスマスタ 5 1、第 1 内部モジュール 6 1 a、第 2 内部モジュール 6 1 b、転送制御部 6 2、セクタ 6 6、セクタ 6 8、I O 選択レジスタ 7 0 及び転送指示レジスタ 7 2 を追加して構成されている。

【 0 0 4 8 】

バスマスタ 5 1 は、B I U _ R 1 0 を介して R A M 1 1、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b にアクセスし、これらとの間でデータ転送を実行すると共に、R A M 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間でデータ転送を行わせる。このバスマスタ 5 1 は、マスタバス 5 1 a に接続されている。

【 0 0 4 9 】

マスタバス 5 1 a は、上述したように、I O 用リードデータバス 6 が除去されている点を除けば、図 1 に示したマスタバス 1 a と同じである。また、R A M 用リードデータバス 5 は、B I U _ R 1 0 から送られてくるマスタリードデータ M D R _ R をそのまま（図 1 に示すセクタ 7 を経由することなく）マスタリードデータとしてバスマスタ 5 1 に送る。

【 0 0 5 0 】

第 1 内部モジュール 6 1 a は、I O 選択レジスタ 7 0 から送られてくる第 1 選択信号 S E L a によって選択される点を除けば、図 1 に示した第 1 内部モジュール 2 1 a と同じである。同様に、第 2 内部モジュール 6 1 b は、I O 選択レジスタ 7 0 から送られてくる第 2 選択信号 S E L b によって選択される点を除けば、図 1 に示した第 2 内部モジュール 2 1 b と同じである。

【 0 0 5 1 】

転送制御部 6 2 は、R A M 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間のデータ転送を制御するための転送制御信号 T C S を、R A M 制御信号バス 1 5 からの R A M 制御信号 R C S と転送指示レジスタ 7 2 からの転送指示信号とに基づいて生成する。この生成された転送制御信号 T C S は、転送制御信号バス 6 3 によって第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b に送られる。上記転送制御信号 T C S には、第 1 内部モジュール 6 1 a 及

び第2内部モジュール61bにリードタイミングを指示するためのIOリードストロブ信号RS及び第1内部モジュール61a及び第2内部モジュール61bにライトタイミングを指示するためのIOライトストロブ信号WSが含まれる。

【0052】

転送用バス60は、上述した転送制御信号バス63と、IOライトデータバス64、第1IOリードデータバス65a及び第2IOリードデータバス65bとから構成される。

【0053】

IOライトデータバス64は、RAMリードデータバス13と第1内部モジュール21a及び第2内部モジュール21bとを接続する。このIOライトデータバス64は、RAM11から読み出されたRAMリードデータRDRを、転送ライトデータTDWとして、第1内部モジュール21a及び第2内部モジュール21bに送るために使用される。第1IOリードデータバス65aは、第1内部モジュール61aから読み出された第1IOリードデータをセクタ66に送るために使用される。第2IOリードデータバス65bは、第2内部モジュール61bから読み出された第2IOリードデータをセクタ66に送るために使用される。

【0054】

セクタ66の出力端子はIOリードデータバス67によってセクタ68の一方の入力端子に接続されている。このセクタ66は、第1選択信号SELa及び第2選択信号SELbの何れがアクティブであるかに応じて、第1IOリードデータバス65aによって送られてくる第1IOリードデータ及び第2IOリードデータバス65bによって送られてくる第2IOリードデータの何れか選択し、転送リードデータTDRとして出力する。

【0055】

セクタ66の出力端子は、IOリードデータバス67によってセクタ68の一方の入力端子に接続されている。IOリードデータバス67は、セクタ66から出力される転送リードデータTDRをセクタ68に送るために使用され

る。セクタ 6 8 の他方の入力端子は、RAMライトデータバス 1 4 によって B I U _ R 1 0 に接続されている。RAMライトデータバス 1 4 は、B I U _ R 1 0 からの RAMライトデータ RDW をセクタ 6 8 に送るために使用される。このセクタ 6 8 の出力端子は RAMライトデータバス 6 9 によって RAM 1 1 に接続されている。セクタ 6 8 は、転送用バス 6 0 を使用したデータ転送であるかバスマスタ 5 1 によるデータ転送であるかに応じて、I O リードデータバス 6 7 によって送られてくる転送リードデータ TDR 及び RAMライトデータバス 1 4 によって送られてくる RAMライトデータ RDW の何れか選択し、RAMライトデータバス 6 9 を用いて、RAMライトデータとして RAM 1 1 に送る。

【 0 0 5 6 】

I O 選択レジスタ 7 0 は、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b の何れを選択してデータ転送を行わせるかを決定する値を保持する。この I O 選択レジスタ 7 0 は、第 1 選択信号線 7 1 a によって第 1 内部モジュール 6 1 a に接続されると共に、第 2 選択信号線 7 1 b によって第 2 内部モジュール 6 1 b に接続されている。I O 選択レジスタ 7 0 は、第 1 選択信号線 7 1 a を用いて第 1 選択信号 S E L a を第 1 内部モジュール 6 1 a に送ることにより、該第 1 内部モジュール 6 1 a をデータ転送の対象として選択する。同様に、I O 選択レジスタ 7 0 は、第 2 選択信号線 7 1 b を用いて第 2 選択信号 S E L b を第 2 内部モジュール 6 1 b に送ることにより、該第 2 内部モジュール 6 1 b をデータ転送の対象として選択する。

【 0 0 5 7 】

転送指示レジスタ 7 2 は、転送制御部 6 2 に転送指示を与えるかどうかを決める値を保持する。この転送指示レジスタ 7 2 は、転送指示線 7 3 によって転送制御部 6 2 に接続されており、この転送指示線 7 3 を用いて転送制御部 6 2 に転送指示信号を送る。

【 0 0 5 8 】

次に、上記のように構成される、この発明の実施の形態 1 に係るデータ転送制御装置の動作を説明する。先ず、データ転送制御装置の概略の動作を説明する。

【 0 0 5 9 】

ここでは、データ転送制御装置の動作の一例として、RAM 1 1 に記憶されているデータを第 1 内部モジュール 6 1 a に転送する場合を説明する。データ転送制御装置の動作は、RAM 1 1 からデータを読み出すリード動作と、読み出されたデータを第 1 内部モジュール 6 1 a に書き込むライト動作とから構成されている。リード動作は、バスマスタ 5 1 の制御によって実行され、ライト動作は転送制御部 6 2 の制御によって実行される。

【 0 0 6 0 】

リード動作及びライト動作が開始されるに先立って、先ず、図示しない制御部により、転送指示レジスタ 7 2 に転送を実行すべき旨を指示する値がセットされる。これにより、転送指示信号がアクティブになり、転送指示線 7 3 を介してデータ転送を実行すべき旨が転送制御部 6 2 に伝えられる。また、図示しない制御部により、I O 選択レジスタ 7 0 に第 1 内部モジュール 6 1 a を選択すべき旨の値がセットされる。これにより、第 1 選択信号 SEL a がアクティブになり、第 1 選択信号線 7 1 a を介して、データ転送の対象として選択された旨が第 1 内部モジュール 6 1 a に伝えられる。以上の準備が完了すると、転送動作が開始される。

【 0 0 6 1 】

先ず、RAM 1 1 からデータを読み出すリード動作を説明する。このリード動作はバスマスタ 5 1 によって行われる。即ち、バスマスタ 5 1 は、データをリードするために必要なマスタ制御信号 MCS をマスタ制御信号バス 3 に出力する。同時に、RAM 1 1 のリード開始位置を指示するマスタアドレス信号 MADDR をマスタアドレスバス 2 に出力する。BIU__R 1 0 は、マスタ制御信号 MCS がマスタ制御信号バス 3 に出力されると、マスタアドレスバス 2 に出力されているマスタアドレス信号 MADDR が RAM 1 1 を指定するものであるかどうかを調べる。そして、RAM 1 1 を指定するマスタアドレス信号 MADDR であることを判断すると、BIU__R 1 0 は、RAM 用スレーブバス 1 0 a に対してデータリードのプロトコルを実行する。

【 0 0 6 2 】

即ち、BIU__R 1 0 は、RAM 制御信号バス 1 5 に、RAM 1 1 からデータ

をリードするために必要なRAM制御信号RCSを出力する。同時に、RAMアドレスバス12に、RAM11のリード開始位置を指示するアドレスをRAMアドレス信号RADDRとして出力する。これにより、RAM11からデータが読み出され、RAMリードデータRDRとしてRAMリードデータバス13に出力される。

【0063】

この際、上述した一般的なデータ転送制御装置と異なり、BIU__R10は、RAMリードデータバス13を用いて送られているRAMリードデータRDRを、マスタバス51aの中のRAM用リードデータバス5に出力しない。その代わりに、RAMリードデータRDRを、IOライトデータバス64を介して、転送ライトデータTDWとして第1内部モジュール61aに送る。以上により、RAM11からデータを読み込むリード動作が完了する。

【0064】

次に、RAM11から読み出されたデータを第1内部モジュール61aに書き込むライト動作を説明する。転送制御部62は、RAM制御信号バス15に流れるRAM制御信号RCSを監視している。従って、転送制御部62は、RAM11からRAMリードデータバス13にRAMリードデータRDRが出力されるタイミングを把握している。転送制御部62は、そのタイミングにおいて、転送制御信号TCSに含まれるIOライトストロブ信号WSをアクティブにする。これにより、RAM11からRAMリードデータバス13及びIOライトデータバス64を介して送られてきているRAMリードデータRDR、換言すれば転送ライトデータTDWが第1内部モジュール61aに書き込まれる。以上により、RAM11から読み出されたデータを第1内部モジュール61aに書き込むライト動作が完了する。以上のリード動作及びライト動作により、RAM11に記憶されている1つのデータを第1内部モジュール61aに転送する動作が完了する。

【0065】

データ転送制御装置の動作の他の一例として、RAM11に記憶されているデータをバスマスタ51に転送する場合を説明する。この場合、データ転送制御装置の動作は、RAM11からデータを読み出すリード動作のみから構成される。

このリード動作が開始されるに先立って、先ず、図示しない制御部により、転送指示レジスタ 7 2 に転送を実行しない旨を指示する値がセットされる。これにより、転送指示信号がインアクティブになり、転送指示線 7 3 を介してデータ転送を実行しない旨が転送制御部 6 2 に伝えられる。以後の動作は、既に説明した一般的なデータ転送制御装置におけるリード動作と同じである。

【 0 0 6 6 】

次に、図 4 に示したタイミングチャートを参照しながら、実施の形態 1 に係るデータ転送制御装置の動作を更に詳細に説明する。なお、図中における R は、RAM 1 1 から単独にデータを読み出すときに実行される 1 つのリード動作に関連していることを表している。後段で説明する図 7 および図 9 においても同様である。

【 0 0 6 7 】

図 4 は 4 つのデータを RAM 1 1 から第 1 内部モジュール 6 1 a に転送する場合のタイミングを示している。先ず、データ転送に先立って、上述したように、転送指示レジスタ 7 2 及び I O 選択レジスタ 7 0 に所定の値が設定され、転送指示信号及び第 1 選択信号 S E L a がアクティブにされる。

【 0 0 6 8 】

次いで、CLK “1” において、バスマスタ 5 1 はアクセス要求信号 R E Q、マスタリード／ライト信号 R W 及びマスタアドレス信号 M A D D R をアサートする。マスタリード／ライト信号 R W は、H レベルでリードを、L レベルでライトを表す。B I U _ R 1 0 は、マスタアドレスバス 2 に出力されているマスタアドレス信号 M A D D R を調べることにより RAM 1 1 に対するアドレスが出力されており、且つ応答可能状態にあることを判断すると、CLK “1” でアクセス許可信号 A C K をアサートする。また、B I U _ R 1 0 は、CLK “1” で、RAM チップセレクト信号 R C S、RAM アドレス信号 R A D D R 及び RAM リード／ライト信号 R R W をアサートすることにより、RAM 1 1 に対してリード要求を出す。RAM リード／ライト信号 R R W は、H レベルでリードを、L レベルでライトを表す。

【 0 0 6 9 】

上記リード要求に応答してRAM 1 1から読み出されたRAMリードデータRDRは、リード要求の次のCLK “2” でRAMリードデータバス1 3に出力される。このRAMリードデータバス1 3に出力されたRAMリードデータRDRは、IOライトデータバス6 4を介して、転送ライトデータTDWとして第1内部モジュール6 1 aに供給される。同時に、BIU__R 1 0は、アクセス終了信号ENDをアサートする。

【0 0 7 0】

転送制御部6 2は、CLK “2” でIOライトストロブ信号WSをアサートする。これにより、IOライトデータバス6 4に出力された転送ライトデータTDWは、CLK 2において、第1選択信号SEL aによって選択されている第1内部モジュール6 1 aに書き込まれる。以上により、RAM 1 1に記憶されている1つのデータを第1内部モジュール6 1 aに転送する動作が完了する。以下、同様に、2～4番目のデータの転送が行われる。

【0 0 7 1】

なお、第1内部モジュール6 1 aからRAM 1 1へのデータ転送は、バスマスタ5 1が第1内部モジュール6 1 aからデータを読み出すリード動作により構成され、第1内部モジュール6 1 aから読み出されたデータは、バスマスタ5 1に送られることなく直接にRAM 1 1に書き込まれる。これらの動作は、上述したRAM 1 1から第1内部モジュール6 1 aへデータ転送する動作と同様であるので説明を省略する。

【0 0 7 2】

この実施の形態1に係るデータ転送制御装置では、上述した一般的なデータ転送制御装置のように、バスマスタ5 1は、RAM 1 1から読み出したデータをマスタバス5 1 aを介して取り込み、その後、マスタバス5 1 aを介して第1内部モジュール6 1 a又は第2内部モジュール6 1 bに書き込む必要がなく、RAMから読み出されたデータはマスタバス5 1 aを経由することなく直接に第1内部モジュール6 1 a又は第2内部モジュール6 1 bに書き込まれる。従って、図4に示すように、CLK “1” ～CLK “4” の間で連続してアクセス要求信号REQを出力することが可能になり、連続したリード動作が可能である。

【 0 0 7 3 】

なお、図 4 に示した例では、CLK “ 6 ” ～ CLK “ 8 ” で、転送指示レジスタ 7 2 の設定が行われて CLK 8 で転送指示信号がインアクティブになり、その後、CLK “ 9 ” 及び CLK “ 1 0 ” で、バスマスタ 5 1 が RAM 1 1 からデータを読み出す動作を示している。

【 0 0 7 4 】

以上説明したように、この実施の形態 1 に係るデータ転送制御装置によれば、4 つのデータを RAM 1 1 から第 1 内部モジュール 6 1 a に転送するために 5 個のクロックサイクルを必要とする。これに対し、上述した一般的なデータ転送制御装置では、4 つのデータを RAM 1 1 から第 1 内部モジュール 2 1 a に転送するために 1 2 個のクロックサイクルを必要とする。

【 0 0 7 5 】

このように、バスマスタはデータ転送の際、データのリード動作とライト動作とを交互に行う必要がなく、リードのみ又はライトのみを連続して行えばよいので、データ転送に要するクロックサイクルの数を低減することができる。また、クロックサイクル数を低減することにより、このデータ転送制御装置が適用されたシステム L S I の消費電力を減少させることができるという効果も期待できる。

【 0 0 7 6 】

実施の形態 2 .

次に、この発明の実施の形態 2 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 1 に係るデータ転送制御装置において、転送制御部 6 2 に与える転送指示信号を、RAM 1 1 に供給される RAM アドレス信号 R A D D R に基づいて生成するようにしたものである。

【 0 0 7 7 】

図 5 は、この発明の実施の形態 2 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 3 に示した実施の形態 1 に係るデータ転送制御装置の構成要素のうち、転送指示レジスタ 7 2 を転送指示制御部 8 0 で置き換えることにより構成されている。

【 0 0 7 8 】

転送指示制御部 8 0 は、RAM アドレスバス 1 2 に出力されている RAM アドレス信号 R A D D R に基づいて、転送制御部 6 2 に転送指示を与えるかどうかを決める転送指示信号を生成する。この転送指示制御部 8 0 は、転送指示線 8 1 によって転送制御部 6 2 に接続されており、この転送指示線 8 1 を用いて転送制御部 6 2 に転送指示信号を送る。

【 0 0 7 9 】

今、RAM 1 1 のアドレス空間が、図 6 に示すように、領域 a、領域 b 及び領域 c といった 3 つの領域に分けられており、領域 a 及び領域 c はデータ転送用領域、領域 b は通常の記憶領域として定義されるものとする。転送指示制御部 8 0 は、RAM アドレス信号 R A D D R によって領域 a 又は領域 b が指定される場合は転送指示信号をアクティブにし、領域 c が指定される場合は転送指示信号をインアクティブにする。なお、RAM 1 1 の領域の定義は、図示しないレジスタに所定の値を設定することにより行われるようになっている。従って、レジスタの内容を変更することにより、RAM 1 1 の領域の定義を任意に変更できるようになっている。

【 0 0 8 0 】

次に、上記のように構成される、この発明の実施の形態 2 に係るデータ転送制御装置の動作を説明する。

【 0 0 8 1 】

このデータ転送制御装置では、実施の形態 1 におけるデータ転送と同様に、転送指示制御部 8 0 から出力される転送制御信号がアクティブのときは、バススレーブ間（RAM 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間）でデータ転送が行われ、転送制御信号がインアクティブのときは、バスマスタ 5 1 とバススレーブ（RAM 1 1、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b）との間でデータ転送が行われる。

【 0 0 8 2 】

次に、図 7 に示したタイミングチャートを参照しながら、実施の形態 2 に係るデータ転送制御装置の動作を更に詳細に説明する。

【 0 0 8 3 】

この実施の形態 2 に係るデータ転送制御装置は、データ転送の形態が切り替わる時の動作に特徴がある。この動作の一例として、RAM 1 1 から第 1 内部モジュール 6 1 a へ 4 つのデータ転送が行われた後に、RAM 1 1 からバスマスタ 5 1 にデータが転送される動作に切り替わる場合について説明する。

【 0 0 8 4 】

CLK “1” ～CLK “4” においては、転送指示制御部 8 0 は、RAM アドレスバス 1 2 上の RAM アドレス信号 RADDR が領域 a 又は領域 c を指示していれば、バススレーブ間でデータを転送すべき旨を判断し、転送指示信号をアクティブにする。これにより、RAM 1 1 から読み出されたデータが第 1 内部モジュール 6 1 a に転送される。

【 0 0 8 5 】

次に、CLK 6 において、転送指示制御部 8 0 は、RAM アドレスバス 1 2 上の RAM アドレス信号 RADDR が領域 b を指示していれば、バススレーブとバスマスタ 5 1 との間でデータを転送すべき旨を判断し、転送指示信号をインアクティブにする。これにより、RAM 1 1 から読み出されたデータはバスマスタ 5 1 に転送される。

【 0 0 8 6 】

以上説明したように、この実施の形態 2 に係るデータ転送制御装置によれば、RAM 1 1 のアクセスされる領域に応じてバススレーブ間でデータ転送を行うか、バススレーブとバスマスタとの間で通常の転送を行うかが切り換えられる。従って、実施の形態 1 に係るデータ転送制御装置においては 3 クロックサイクルを要していた転送指示レジスタへの値の設定（図 4 参照）を省くことができるので、転送指示に要するオーバーヘッドを削減でき、少ない数のクロックサイクルで効率よく、且つ迅速にデータ転送を行うことができる。

【 0 0 8 7 】

実施の形態 3.

次に、この発明の実施の形態 3 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 1 に係るデータ転送制御装置においては転送制

御部 6 2 で生成されている転送指示信号をバスマスタで生成するようにしたものである。

【 0 0 8 8 】

図 8 は、この発明の実施の形態 3 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 3 に示した実施の形態 1 に係るデータ転送制御装置の構成要素のうち、転送指示レジスタ 7 2 を除去し、バスマスタ 5 1 を新たなバスマスタ 5 2 で置き換えることにより構成されている。

【 0 0 8 9 】

バスマスタ 5 2 は、BIU_R 1 0 を介して RAM 1 1、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b にアクセスし、これらとの間でデータ転送を実行すると共に、RAM 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間でデータ転送を行わせる。また、このバスマスタ 5 2 は、転送指示信号を生成し、転送指示線 5 3 を用いて転送制御部 6 2 に送る。

【 0 0 9 0 】

次に、上記のように構成される、この発明の実施の形態 3 に係るデータ転送制御装置の動作を説明する。

【 0 0 9 1 】

このデータ転送制御装置では、実施の形態 1 におけるデータ転送と同様に、バスマスタ 5 2 から出力される転送制御信号がアクティブのときは、複数のバススレーブ間（RAM 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間）でデータ転送が行われ、転送制御信号がインアクティブのときは、バスマスタ 5 2 とバススレーブ（RAM 1 1、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b）との間でデータ転送が行われる。

【 0 0 9 2 】

今、バスマスタ 5 2 が DMA 転送コントローラ（以下、「DMAC」と略する）であり、この DMAC は、チャンネル 0 及びチャンネル 1 といった 2 つの転送チャンネルを備えているものとする。そして、チャンネル 0 は、RAM 1 1 から第 1 内部モジュール 6 1 a へデータ転送を行い、チャンネル 1 は、RAM 1 1 からマスタバス 5 1 a に接続されている他のモジュール（図示しない）へデータ転

送を行うように割り当てられているものとする。

【 0 0 9 3 】

DMA C がチャンネル 0 を用いてデータ転送を行う場合、図示しない制御部からの指示に応答して、バスマスタ 5 2 は、転送指示線 5 3 に出力する転送指示信号をアクティブにする。引き続いてDMA C がチャンネル 1 を用いてデータ転送を行う場合、図示しない制御部からの指示に応答して、バスマスタ 5 2 は、転送指示線 5 3 に出力する転送指示信号をインアクティブにする。

【 0 0 9 4 】

この場合のデータ転送制御装置の動作を図 9 に示すタイミングチャートを参照しながら説明する。CLK “ 1 ” ～ CLK “ 5 ” においては、DMA C のチャンネル 0 を用いたデータ転送が行われる。即ち、DMA C は転送制御信号をアクティブにするため、転送用バス 6 0 を用いてRAM 1 1 から第 1 内部モジュール 6 1 a ヘデータが転送される。CLK “ 6 ” では、DMA C のチャンネル 1 を用いたデータ転送が行われる。即ち、DMA C は転送制御信号をインアクティブにするため、RAM 1 1 から読み出されたデータがRAM 用スレーブバス 1 0 a、BIU__R 1 0 及びマスタバス 5 1 a を介してDMA C に取り込まれる。そして、DMA C に取り込まれたデータがマスタバス 5 1 a を介して図示しないモジュールに送られる。

【 0 0 9 5 】

次に、DMA C のチャンネル 0 は、RAM 1 1 から第 1 内部モジュール 6 1 a ヘデータ転送を行い、チャンネル 1 は、RAM 1 1 から第 2 内部モジュール 6 1 b ヘデータ転送を行うように割り当てられている場合の動作を説明する。

【 0 0 9 6 】

DMA C がチャンネル 0 を用いてデータ転送を行う場合、図示しない制御部からの指示に応答して、バスマスタ 5 2 は、転送指示線 5 3 に出力する転送指示信号をアクティブにする。引き続いてDMA C がチャンネル 1 を用いてデータ転送を行う場合、IO 選択レジスタ 7 0 によって第 2 内部モジュール 6 1 b が選択された後に、図示しない制御部からの指示に応答して、バスマスタ 5 2 は、転送指示線 5 3 に出力する転送指示信号をアクティブにする。

【 0 0 9 7 】

この場合のデータ転送制御装置の動作を図 1 0 に示すタイミングチャートを参照しながら説明する。なお、図 1 0 において、R a 及び W a は、チャンネル 0 のデータ転送時に関連する信号であることを表し、R b 及び W b は、チャンネル 1 のデータ転送時に関連する信号であることを表す。これらの記号 R a 、 W a 、 R b 及び W b は、後に出現する他のタイミングチャートでも上記と同様の意味で使われる。

【 0 0 9 8 】

CLK “ 1 ” ～ CLK “ 5 ” においては、DMAC のチャンネル 0 を用いたデータ転送が行われる。即ち、DMAC は転送制御信号をアクティブにするため、転送用バス 6 0 を用いて RAM “ 1 1 ” から第 1 内部モジュール 6 1 a へデータが転送される。CLK “ 6 ” ～ CLK “ 8 ” では、I O 選択レジスタ 7 0 の設定が行われ、CLK “ 8 ” で I O 選択レジスタ 7 0 から出力される第 1 選択信号 S E L a がインアクティブになり、第 2 選択信号 S E L b がアクティブになる。これにより、第 2 内部モジュール 6 1 b が選択される。その後の CLK “ 9 ” ～ CLK “ 1 3 ” においては、DMAC のチャンネル 1 を用いたデータ転送が行われる。即ち、DMAC は転送制御信号をアクティブにするため、転送用バス 6 0 を用いて RAM 1 1 から第 2 内部モジュール 6 1 b へデータが転送される。

【 0 0 9 9 】

以上説明したように、この実施の形態 3 に係るデータ転送制御装置によれば、転送指示信号をバスマスタ 5 2 で生成するようにしたので、実施の形態 1 に係るデータ転送制御装置における転送指示レジスタ 7 2 は不要になる。その結果、データ転送制御装置の構成を簡単にすることができる。また、アドレス比較を行わないので、動作周波数を高くすることができる。

【 0 1 0 0 】

実施の形態 4 .

次に、この発明の実施の形態 4 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 3 に係るデータ転送制御装置においては I O 選択レジスタ 7 0 で生成されている第 1 選択信号 S E L a 及び第 2 選択信号 S E L

b をバスマスタで生成するようにしたものである。

【 0 1 0 1 】

図 1 1 は、この発明の実施の形態 4 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 8 に示した実施の形態 3 に係るデータ転送制御装置の構成要素のうち、I/O 選択レジスタ 7 0 を除去し、バスマスタ 5 2 を新たなバスマスタ 5 4 で置き換えることにより構成されている。

【 0 1 0 2 】

バスマスタ 5 4 は、BIU__R 1 0 を介して RAM 1 1、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b にアクセスし、これらとの間でデータ転送を実行すると共に、RAM 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間でデータ転送を行わせる。また、このバスマスタ 5 4 は、転送指示信号を生成し、転送指示線 5 5 を用いて転送制御部 6 2 に送る。更に、このバスマスタ 5 4 は、第 1 選択信号 SEL a を生成し、第 1 選択信号線 5 6 a を介して第 1 内部モジュール 6 1 a に送ると共に、第 2 選択信号 SEL b を生成し、第 2 選択信号線 5 6 b を介して第 2 内部モジュール 6 1 b に送る。

【 0 1 0 3 】

次に、上記のように構成される、この発明の実施の形態 4 に係るデータ転送制御装置の動作を説明する。

【 0 1 0 4 】

このデータ転送制御装置では、バスマスタ 5 4 から出力される転送制御信号がアクティブのときは、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択する方法を除けば、実施の形態 1 におけるデータ転送と同様に、複数のバススレーブ間（RAM 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間）でデータ転送が行われる。また、転送制御信号がインアクティブのときは、実施の形態 1 におけるデータ転送と同様に、バスマスタ 5 4 とバススレーブ（RAM 1 1、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b ）との間でデータ転送が行われる。

【 0 1 0 5 】

今、バスマスタ 5 4 が DMAC であり、この DMAC は、チャンネル 0 及びチ

チャンネル 1 といった 2 つの転送チャンネルを備えているものとする。そして、チャンネル 0 は、RAM 1 1 から第 1 内部モジュール 6 1 a へデータ転送を行い、チャンネル 1 は、RAM 1 1 から第 2 内部モジュール 6 1 b へデータ転送を行うように割り当てられているものとする。

【0 1 0 6】

DMAC がチャンネル 0 を用いてデータ転送を行う場合、バスマスタ 5 4 は、転送指示線 5 3 に出力する転送指示信号をアクティブにすると共に、第 1 選択信号線 5 6 a に出力する第 1 選択信号 SEL a をアクティブにする。引き続いて DMAC がチャンネル 1 を用いてデータ転送を行う場合、バスマスタ 5 4 は、転送指示線 5 3 に出力する転送指示信号をアクティブにすると共に、第 2 選択信号線 5 6 b に出力する第 2 選択信号 SEL b をアクティブにする。

【0 1 0 7】

この場合のデータ転送制御装置の動作を図 1 2 に示すタイミングチャートを参照しながら説明する。

【0 1 0 8】

CLK “1” ～CLK “5” においては、DMAC のチャンネル 0 を用いたデータ転送が行われる。即ち、DMAC は CLK “1” において転送制御信号及び第 1 選択信号 SEL a をアクティブにするため、CLK “1” ～CLK “4” において RAM 1 1 から読み出された RAM リードデータ RDR は、RAM リードデータバス 1 3 に出力される。この RAM リードデータバス 1 3 に出力された RAM リードデータ RDR は、CLK “2” ～CLK “5” において、IO ライトデータバス 6 4 を介して、転送ライトデータ TDW として第 1 内部モジュール 6 1 a に送られ、書き込まれる。DMAC は、データ転送が開始されてから終了するまで、つまり CLK “1” ～CLK “5” の間は、第 1 選択信号 SEL a をアクティブに維持する。

【0 1 0 9】

CLK “6” ～CLK “10” においては、DMAC のチャンネル 1 を用いたデータ転送が行われる。即ち、DMAC は CLK “6” において転送制御信号及び第 2 選択信号 SEL b をアクティブにするため、CLK “6” ～CLK “9”

において R A M 1 1 から読み出された R A M リードデータ R D R は、R A M リードデータバス 1 3 に出力される。この R A M リードデータバス 1 3 に出力された R A M リードデータ R D R は、C L K “ 7 ” ～ C L K “ 1 0 ” において、I O ライトデータバス 6 4 を介して、転送ライトデータ T D W として第 2 内部モジュール 6 1 b に送られ、書き込まれる。D M A C は、データ転送が開始されてから終了するまで、つまり C L K “ 6 ” ～ C L K “ 9 ” の間は、第 2 選択信号 S E L b をアクティブに維持する。

【 0 1 1 0 】

以上説明したように、この実施の形態 4 に係るデータ転送制御装置によれば、バスマスタ 5 4 がデータ転送の対象となるバススレーブを選択する信号を出力するので、データ転送が切り換えられる毎に I O 選択レジスタ 7 0 に所定値を設定する必要がない。その結果、実施の形態 3 に係るデータ転送制御装置においては 3 クロックサイクルを要していた I O 選択レジスタ 7 0 への値の設定（図 1 0 参照）を省くことができ、バススレーブの選択に要するオーバーヘッドを削減できる。

【 0 1 1 1 】

なお、上述した実施の形態 1 ～実施の形態 3 に係るデータ転送制御装置においても、この実施の形態 3 のように、第 1 選択信号 S E L a 及び第 2 選択信号 S E L b をバスマスタで生成するように構成することができる。

【 0 1 1 2 】

実施の形態 5 .

次に、この発明の実施の形態 5 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 4 に係るデータ転送制御装置において、外部デバイスを制御するための情報に応じて転送指示信号を生成するようにしたものである。

【 0 1 1 3 】

図 1 3 は、この発明の実施の形態 5 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 1 1 に示した実施の形態 4 に係るデータ転送制御装置の構成要素のうち、B I U _ R 1 0、転送制御部 6 2 及び

R A M 1 1 を外部用バスインタフェースユニット（以下、「B I U _ E」と略する）9 0、転送制御部 1 1 0 及び外部デバイス制御部 9 1 でそれぞれ置き換えることにより構成されている。また、外部デバイス制御部 9 1 には外部デバイス 1 0 1 が接続されている。

【 0 1 1 4 】

B I U _ E 9 0 は、外部デバイス制御部 9 1 を介して外部デバイス 1 0 1 にアクセスするために、マスタバス 5 1 a のプロトコルと外部デバイス用スレーブバス 9 0 a のプロトコルとを相互に変換する。この B I U _ E 9 0 は、外部デバイス用スレーブバス 9 0 a を介して外部デバイス制御部 9 1 に接続されている。

【 0 1 1 5 】

外部デバイス用スレーブバス 9 0 a は、外部アドレスバス 9 2、外部リードデータバス 9 3、外部ライトデータバス 9 4 及び外部制御信号バス 9 5 から構成されている。

【 0 1 1 6 】

外部アドレスバス 9 2 は、B I U _ E 9 0 から出力される外部アドレス信号 E A D D R を外部デバイス制御部 9 1 に送るために使用される。外部リードデータバス 9 3 は、外部デバイス制御部 9 1 から読み出された外部リードデータ E D R を B I U _ E 9 0 に送るために使用される。外部ライトデータバス 9 4 は、B I U _ E 9 0 から出力される外部ライトデータ E D W をセクタ 9 6 を介して外部デバイス制御部 9 1 に送るために使用される。外部制御信号バス 9 5 は、B I U _ E 9 0 から出力される外部制御信号 E C S を外部デバイス制御部 9 1 及び転送制御部 1 1 0 に送るために使用される。

【 0 1 1 7 】

外部制御信号 E C S には、外部デバイス 1 0 1 にアクセスを要求するための外部デバイスアクセス要求信号 E R E Q、外部デバイス 1 0 1 にリードアクセスを行うかライトアクセスを行うかを指示するための外部デバイスリード／ライト信号 E R W、及び外部デバイス 1 0 1 に対するアクセスが終了したことを示す外部デバイスアクセス終了信号 E E N D が含まれる。

【 0 1 1 8 】

セクタ 9 6 は、B I U _ E 9 0 から外部ライトデータバス 9 4 を介して送られてくる外部ライトデータ E D W 及びセクタ 6 6 から I O リードデータバス 6 7 によって送られてくる転送リードデータ T D R の何れか選択し、ライトデータバス 9 7 を用いて、外部デバイス制御部 9 1 に送る。

【 0 1 1 9 】

外部デバイス制御部 9 1 は、バススレーブとして機能する内部モジュールである。この外部デバイス制御部 9 1 は、外部デバイスアクセス情報信号線 9 8 により転送制御部 1 1 0 に接続されている。外部デバイス制御部 9 1 は、この外部デバイスアクセス情報信号線 9 8 を用いて、接続されている外部デバイス 1 0 1 のアクセスに関する情報を外部デバイスアクセス情報信号として転送制御部 1 1 0 に送る。また、この外部デバイス制御部 9 1 は、外部バス 9 1 a を介して、システム L S I の外部に接続される外部デバイス 1 0 1 に接続されている。

【 0 1 2 0 】

外部バス 9 1 a は、外部デバイスアドレスバス 1 0 2、外部デバイスデータバス 1 0 3 及び外部デバイス制御信号バス 1 0 4 から構成されている。

【 0 1 2 1 】

外部デバイスアドレスバス 1 0 2 は、外部デバイス制御部 9 1 から出力される外部デバイスアドレス信号を外部デバイス 1 0 1 に送るために使用される。外部デバイスデータバス 1 0 3 は、外部デバイス制御部 9 1 と外部デバイス 1 0 1 との間でデータを送受するために使用される。外部デバイス制御信号バス 1 0 4 は、外部デバイス制御部 9 1 から出力される外部デバイス制御信号を外部デバイス 1 0 1 に送るために使用される。この外部デバイス制御信号は、外部デバイス 1 0 1 に対するコマンドから構成される。

【 0 1 2 2 】

転送制御部 1 1 0 は、外部デバイス制御部 9 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間のデータ転送を制御するための転送制御信号 T C S を、外部制御信号バス 9 5 からの外部制御信号 E C S、バスマスタ 5 4 からの転送指示信号及び外部デバイス制御部 9 1 からの外部デバイスアクセス情報信号とに基づいて生成する。この生成された転送制御信号 T C S は、転送制御信

号バス 6 3 によって第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b に送られる。転送制御信号 T C S には、I O リードストロブ信号 R S 及び I O ライトストロブ信号 W S が含まれる。

【 0 1 2 3 】

次に、上記のように構成される、この発明の実施の形態 5 に係るデータ転送制御装置の動作を説明する。先ず、データ転送制御装置の概略の動作を説明する。

【 0 1 2 4 】

ここでは、データ転送制御装置の動作の一例として、第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 にデータを転送する場合を説明する。データ転送制御装置の動作は、第 1 内部モジュール 6 1 a からデータを読み出すリード動作と、読み出されたデータを外部デバイス制御部 9 1 を介して外部デバイス 1 0 1 に書き込むライト動作とから構成されている。リード動作は転送制御部 6 2 の制御によって実行され、ライト動作はバスマスタ 5 4 の制御によって実行される。

【 0 1 2 5 】

データ転送動作が開始されるに先立って、バスマスタ 5 4 は、転送指示信号をアクティブにし、転送指示線 5 5 を介してデータ転送を実行すべき旨を転送制御部 1 1 0 に伝える。また、第 1 内部モジュール 6 1 a を選択すべき旨の第 1 選択信号 S E L a をアクティブにし、第 1 選択信号線 5 6 a を介して、データ転送の対象として選択された旨を第 1 内部モジュール 6 1 a に伝える。以上の準備が完了すると、データ転送動作が開始される。

【 0 1 2 6 】

データ転送動作は、先ず、バスマスタ 5 4 による外部デバイス 1 0 1 へのライト動作から開始される。即ち、バスマスタ 5 4 は、データをライトするために必要なマスタ制御信号 M C S をマスタ制御信号バス 3 に出力する。同時に、ライトの対象となる外部デバイス 1 0 1 を指定するマスタアドレス信号 M A D D R をマスタアドレスバス 2 に出力する。B I U _ E 9 0 は、マスタ制御信号 M C S がマスタ制御信号バス 3 に出力されると、マスタアドレスバス 2 に出力されているマスタアドレス信号 M A D D R が外部デバイス 1 0 1 を指定するものであるかどうかを調べる。そして、外部デバイス 1 0 1 を指定するマスタアドレス信号 M A D

DRであることを判断すると、BIU_E90は、外部デバイス用スレーブバス90aに対してデータライトの Protokol を実行する。

【0127】

即ち、BIU_E90は、外部制御信号バス95に、外部デバイス101にデータをライトするために必要な外部デバイス制御信号ECSを出力する。同時に、外部アドレスバス92に、外部デバイス101に必要なアドレスを外部デバイスアドレス信号EADDRとして出力する。外部デバイス制御部91は、これら外部デバイス制御信号ECS及び外部デバイスアドレス信号EADDRを受け取ることににより、外部バス91aを介して外部デバイス101にライト動作を行う。

【0128】

即ち、外部デバイス制御部91は、外部バス91aを構成する外部デバイス制御信号バス104に、外部デバイス101にデータを書き込むために必要な制御信号を出力する。また、外部デバイスアドレスバス102に、外部デバイス101にデータを書き込むために必要なアドレスを出力する。更に、外部デバイスデータバス103に、外部デバイス101に書き込むデータを出力する。これにより、外部デバイス101にデータが書き込まれる。この外部デバイス101に書き込まれるデータは、書き込みのタイミングにおいて、第1内部モジュール61aから読み出され、セクタ66、IOリードデータバス67、セクタ96及びライトデータバス97を経由して外部デバイス制御部91に存在しなければならない。

【0129】

ここで、第1内部モジュール61aからデータを読み出す動作を説明する。転送制御部110は、外部デバイス用スレーブバス90aを構成する外部デバイス制御信号バス95に流れる外部デバイス制御信号ECSを監視している。また、外部デバイス制御部91から外部デバイスアクセス情報信号線98により送られてくる外部デバイスアクセス情報信号によって、外部デバイス101にアクセスするタイミングを認識する。転送制御部110は、これら外部デバイス制御信号ECS及び外部デバイスアクセス情報信号に基づいて外部デバイス制御部91が

外部デバイス 1 0 1 にデータを書き込むタイミングを決定し、この決定されたタイミングに合わせて転送制御信号バス 6 3 に転送制御信号 T C S を出力する。

【 0 1 3 0 】

第 1 選択信号 S E L a によって選択されている第 1 内部モジュール 6 1 a は、この転送制御信号 T C S に含まれる I O リードストロブ信号 R S に応じてデータを読み出して第 1 I O リードデータバス 6 5 a に出力する。この第 1 I O リードデータバス 6 5 a に読み出されたデータは、セクタ 6 6 を経由して I O リードデータバス 6 7 に出力され、転送リードデータ T D R としてセクタ 9 6 に送られる。セクタ 9 6 は、I O リードデータバス 6 7 からの転送リードデータ T D R を通過させてライトデータバス 9 7 に出力し、外部デバイス制御部 9 1 に送る。以上により、第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 へのデータ転送動作が完了する。

【 0 1 3 1 】

次に、図 1 4 に示したタイミングチャートを参照しながら、実施の形態 5 に係るデータ転送制御装置の動作を更に詳細に説明する。ここでは、外部デバイス 1 0 1 として S D R A M が使用される場合を説明する。

【 0 1 3 2 】

先ず、C L K “ 1 ” において、バスマスタ 5 4 はアクセス要求信号 R E Q 、マスタリード／ライト信号 R W 及びマスタアドレス信号 M A D D R をアサートする。マスタリード／ライト信号 R W は、H レベルでリードを、L レベルでライトを表す。B I U _ E 9 0 は、マスタアドレスバス 2 に出力されているマスタアドレス信号 M A D D R を調べることにより外部デバイス 1 0 1 に対するアドレスが出力されていることを判断すると、C L K “ 1 ” でアクセス許可信号 A C K をアサートする。また、B I U _ E 9 0 は、C L K “ 1 ” で、外部デバイスアクセス要求信号 E R E Q 、外部デバイスアドレス信号 E A D D R 及び外部デバイスリード／ライト信号 E R W をアサートすることにより、外部デバイス制御部 9 1 に対してリードライトアクセスを行う。外部デバイスリード／ライト信号 E R W は、H レベルでリードを、L レベルでライトを表す。

【 0 1 3 3 】

外部デバイス制御部 9 1 は、CLK “1” において、外部デバイス制御信号バス 1 0 4 に行活性化コマンド “a c” を出力すると共に、外部デバイスアドレスバス 1 0 2 に行アドレス “r 0” を出力する。引き続く CLK “2” 及び CLK “3” において、外部デバイス制御部 9 1 は、外部デバイス制御信号バス 1 0 4 にノーオペレーションコマンド “n p” を出力する。ノーオペレーションコマンド “n p” を出力する理由は、SDRAM の AC タイミング条件（行から列への遅延時間）として、行活性化コマンド “a c” とライトコマンド “w 0” との間に 3 クロックサイクル以上存在することが要求されているからである。

【0 1 3 4】

その後の CLK “4” において、外部デバイス制御部 9 1 は、外部デバイス制御信号バス 1 0 4 にライトコマンド “w 0” を、外部デバイスアドレスバス 1 0 2 に列アドレス “c 0” を、外部デバイスデータバス 1 0 3 にライトデータ “d 0” をそれぞれ出力する。同時に、外部デバイス制御部 9 1 は、外部制御信号バス 9 5 に外部デバイスアクセス終了信号 E E N D を出力する。この外部デバイスアクセス終了信号 E E N D を受け取った B I U _ E 9 0 は、マスタバス 5 1 a のマスタ制御信号バス 3 に、マスタ制御信号 M C S の中のアクセス終了信号 E N D を出力する。これにより 1 回目の外部デバイス 1 0 1 へのライト動作が終了する。引き続いて、CLK “4” ～ CLK “7” において、2 ～ 4 回目の外部デバイス 1 0 1 へのライト動作が行われる。2 回目以降のライト動作が行われる場合は、既に行活性化状態にされているため、ライトコマンド “w 1” ～ “w 3” は連続して発行される。

【0 1 3 5】

一方、第 1 内部モジュール 6 1 a からのデータのリード動作は、CLK “4” ～ CLK “7” において行われる。即ち、転送制御部 1 1 0 は、外部デバイス制御部 9 1 から送られてくる外部デバイスアクセス情報信号に含まれる SDRAM の AC タイミング条件（行から列への遅延時間）に従って 3 クロックサイクルの遅延が必要であることを判断し、CLK “4” ～ CLK “7” において、転送制御信号バス 6 3 に I O リードストロブ信号 R S を出力する。これにより、CLK “4” ～ CLK “7” において、第 1 内部モジュール 6 1 a からデータが読み

出され、第1 I Oリードデータバス65 a、セクタ66、I Oリードデータバス67、セクタ96及び外部デバイス制御部91を経由して、外部デバイスデータバス103に出力される。以上により、第1内部モジュール61 aから外部デバイス101へのデータ転送動作が完了する。

【0136】

なお、SDRAMのACタイミング条件（行から列への遅延時間）を満たすためのクロックサイクルの数は、SDRAMの種類及びクロック周波数に依存する。しかし、転送制御部110は、外部デバイス制御部91から送られてくる外部デバイスアクセス情報信号に含まれるSDRAMのACタイミング条件（行から列への遅延時間）に従って遅延させるクロックサイクルの数を決定するので、SDRAMの種類及びクロック周波数が変更されても、正確且つ確実なデータ転送動作を行わせることができる。

【0137】

以上説明したように、この実施の形態5に係るデータ転送制御装置によれば、例えばSDRAMのような、ACタイミング条件を満たすクロックサイクルの数がクロック周波数等によって異なる外部デバイスに対して、正確且つ確実なデータ転送を行うことができる。

【0138】

なお、この実施の形態5では、外部デバイス101としてSDRAMが用いられる場合について説明したが、SDRAMに限らず、ACタイミング条件を満たすようにクロックサイクルの数を制御する必要がある他のデバイスにも適用できる。また、外部デバイス101は、システムLSIの外部に接続されるデバイスに限らず、システムLSIの内部に設けられるバススレーブであってもよい。

【0139】

また、この実施の形態5に係るデータ転送制御装置は、実施の形態4に係るデータ転送制御装置の構成要素の一部を変更して構成したが、実施の形態1～実施の形態3の何れかに係るデータ転送制御装置の構成要素の一部を変更して構成することもでき、この場合も、上述した作用及び効果を奏する。

【0140】

実施の形態 6.

次に、この発明の実施の形態 6 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 4 に係るデータ転送制御装置において、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択するための第 1 選択信号 S E L a 及び第 2 選択信号 S E L b を、R A M 1 1 に供給される R A M アドレス信号 R A D D R に基づいて生成するようにしたものである。

【 0 1 4 1 】

図 1 5 は、この発明の実施の形態 6 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 1 3 に示した実施の形態 4 に係るデータ転送制御装置のバスマスタ 5 4 から出力される第 1 選択信号線 5 6 a 及び第 2 選択信号線 5 6 b が除去され、I O 選択制御部 7 4 が新たに追加されて構成されている。

【 0 1 4 2 】

I O 選択制御部 7 4 は、R A M アドレスバス 1 2 からの R A M アドレス信号 R A D D R に基づいて、第 1 内部モジュール 6 1 a を選択するための第 1 選択信号 S E L a 又は第 2 内部モジュール 6 1 b を選択するための第 2 選択信号 S E L b を生成する。この I O 選択制御部 7 4 で生成された第 1 選択信号 S E L a は、第 1 選択信号線 7 5 a を用いて第 1 内部モジュール 6 1 a に送られる。同様に、第 2 選択信号 S E L b は、第 2 選択信号線 7 5 b を用いて第 2 内部モジュール 6 1 b に送られる。

【 0 1 4 3 】

今、R A M 1 1 のアドレス空間が、図 1 6 に示すように、領域 a 及び領域 b といった 2 つの領域に分けられており、領域 a は第 1 内部モジュール 6 1 a がアクセスする領域、領域 b は第 2 内部モジュール 6 1 b がアクセスする領域として定義されるものとする。I O 選択制御部 7 4 は、R A M アドレス信号 R A D D R によって領域 a が指定される場合は第 1 選択信号 S E L a をアクティブにし、領域 b が指定される場合は第 2 選択信号 S E L b をアクティブにする。なお、R A M 1 1 の領域の定義は、図示しないレジスタに所定の値を設定することにより行われるようになっている。従って、レジスタの内容を変更することにより、R A M

1 1 の領域の定義を任意に変更できるようになっている。

【 0 1 4 4 】

次に、上記のように構成される、この発明の実施の形態 6 に係るデータ転送制御装置の動作を説明する。

【 0 1 4 5 】

このデータ転送制御装置では、バスマスタ 5 4 から出力される転送制御信号がアクティブのときは、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択する方法を除けば、実施の形態 1 におけるデータ転送と同様に、複数のバススレーブ間（RAM 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間）でデータ転送が行われる。また、転送制御信号がインアクティブのときは、実施の形態 1 におけるデータ転送と同様に、バスマスタ 5 4 とバススレーブ（RAM 1 1、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b ）との間でデータ転送が行われる。従って、以下では、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択する動作のみを説明する。

【 0 1 4 6 】

今、バスマスタ 5 4 からマスタバス 5 1 a 及び BIU__R 1 0 を経由して RAM 用スレーブバス 1 0 a の RAM アドレスバス 1 2 に出力された RAM アドレス信号 RADDR が RAM 1 1 の領域 a を指示していれば、IO 選択制御部 7 4 は、第 1 選択信号 SEL a をアクティブにする。これにより、第 1 内部モジュール 6 1 a に対するリード動作及びライト動作が可能になる。

【 0 1 4 7 】

同様に、バスマスタ 5 4 からマスタバス 5 1 a 及び BIU__R 1 0 を経由して RAM 用スレーブバス 1 0 a の RAM アドレスバス 1 2 に出力された RAM アドレス信号 RADDR が RAM 1 1 の領域 b を指示していれば、IO 選択制御部 7 4 は、第 2 選択信号 SEL b をアクティブにする。これにより、第 2 内部モジュール 6 1 b に対するリード動作及びライト動作が可能になる。

【 0 1 4 8 】

以上説明したように、この実施の形態 6 に係るデータ転送制御装置によれば、RAM 1 1 のアクセスされる領域に応じて第 1 内部モジュール 6 1 a を選択する

か、第 2 内部モジュール 6 1 b を選択するかが切り換えられる。従って、実施の形態 3 に係るデータ転送制御装置のような I O 選択レジスタを有する構成では 3 クロックサイクルを要していた I O 選択レジスタへの値の設定（図 1 0 参照）を省くことができるので、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b の選択に要するオーバーヘッドを削減でき、少ない数のクロックサイクルで効率よく、且つ迅速にデータ転送を行うことができる。

【 0 1 4 9 】

実施の形態 7 .

次に、この発明の実施の形態 7 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 4 に係るデータ転送制御装置において、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択するための第 1 選択信号 S E L a 及び第 2 選択信号 S E L b を、バスマスタ 5 4 が予め記憶している第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b に付与されている I O アドレスに基づいて生成するようにしたものである。

【 0 1 5 0 】

図 1 7 は、この発明の実施の形態 7 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 1 3 に示した実施の形態 4 に係るデータ転送制御装置のバスマスタ 5 4 から出力される第 1 選択信号線 5 6 a 及び第 2 選択信号線 5 6 b が除去され、 I O 選択制御部 7 6 が新たに追加されると共に、バスマスタ 5 4 から I O 選択制御部 7 4 に I O アドレス信号 I O A D D R を送るための I O アドレス線 5 7 が追加されて構成されている。

【 0 1 5 1 】

I O 選択制御部 7 6 は、バスマスタ 5 4 からの I O アドレス信号 I O A D D R に基づいて、第 1 内部モジュール 6 1 a を選択するための第 1 選択信号 S E L a 又は第 2 内部モジュール 6 1 b を選択するための第 2 選択信号 S E L b を生成する。この I O 選択制御部 7 6 で生成された第 1 選択信号 S E L a は、第 1 選択信号線 7 7 a を用いて第 1 内部モジュール 6 1 a に送られる。同様に、第 2 選択信号 S E L b は、第 2 選択信号線 7 7 b を用いて第 2 内部モジュール 6 1 b に送られる。

【 0 1 5 2 】

今、ＩＯアドレス空間が、図 1 8 に示すように、領域 a 及び領域 b といった 2 つの領域に分けられており、領域 a は第 1 内部モジュール 6 1 a に付与された領域、領域 b は第 2 内部モジュール 6 1 b に付与された領域として定義されるものとする。ＩＯ選択制御部 7 6 は、ＩＯアドレス信号 ＩＯＡＤＤＲによって領域 a が指定される場合は第 1 選択信号 ＳＥＬ a をアクティブにし、領域 b が指定される場合は第 2 選択信号 ＳＥＬ b をアクティブにする。なお、ＩＯアドレス空間の領域の定義は、図示しないレジスタに所定の値を設定することにより行われるようになっている。従って、レジスタの内容を変更することにより、ＩＯアドレス空間の領域の定義を任意に変更できるようになっている。

【 0 1 5 3 】

次に、上記のように構成される、この発明の実施の形態 7 に係るデータ転送制御装置の動作を説明する。

【 0 1 5 4 】

このデータ転送制御装置では、バスマスタ 5 4 から出力される転送制御信号がアクティブのときは、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択する方法を除けば、実施の形態 1 におけるデータ転送と同様に、複数のバススレーブ間（ＲＡＭ 1 1 と第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間）でデータ転送が行われる。また、転送制御信号がインアクティブのときは、実施の形態 1 におけるデータ転送と同様に、バスマスタ 5 4 とバススレーブ（ＲＡＭ 1 1、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b ）との間でデータ転送が行われる。従って、以下では、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b を選択する動作のみを説明する。

【 0 1 5 5 】

データ転送の対象として第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b の何れかを選択する場合、バスマスタ 5 4 は、内部に記憶しているＩＯアドレスを表すＩＯアドレス信号 ＩＯＡＤＤＲを、ＩＯアドレス線 5 7 を用いてＩＯ選択制御部 7 6 に送る。ＩＯ選択制御部 7 6 は、受け取ったＩＯアドレス信号 ＩＯＡＤＤＲがＩＯアドレス空間の領域 a を指示していれば、第 1 選択信号 ＳＥＬ

a をアクティブにする。これにより、第 1 内部モジュール 6 1 a に対するリード動作及びライト動作が可能になる。

【 0 1 5 6 】

同様に、I O 選択制御部 7 6 は、受け取った I O アドレス信号 I O A D D R が I O アドレス空間の領域 b を指示していれば、第 2 選択信号 S E L b をアクティブにする。これにより、第 2 内部モジュール 6 1 b に対するリード動作及びライト動作が可能になる。

【 0 1 5 7 】

以上説明したように、この実施の形態 7 に係るデータ転送制御装置によれば、アクセスされる I O アドレス空間の領域に応じて第 1 内部モジュール 6 1 a を選択するか、第 2 内部モジュール 6 1 b を選択するかが切り換えられる。従って、実施の形態 3 に係るデータ転送制御装置のような I O 選択レジスタを有する構成では 3 クロックサイクルを要していた I O 選択レジスタへの値の設定（図 1 0 参照）を省くことができるので、第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b の選択に要するオーバーヘッドを削減でき、少ない数のクロックサイクルで効率よく、且つ迅速にデータ転送を行うことができる。

【 0 1 5 8 】

なお、この実施の形態 7 に係るデータ転送制御装置は、図 1 9 に示すように変形することができる。この変形に係るデータ転送制御装置は、図 1 7 に示したデータ転送制御装置の I O 選択制御部 7 6 の機能を、第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b の内部にそれぞれ取り込んで I O 選択制御部 7 6 a 及び I O 選択制御部 7 6 b とすることにより構成されている。

【 0 1 5 9 】

この変形例に係るデータ転送制御装置によっても、上述した実施の形態 7 に係るデータ転送制御装置と同様の作用及び効果を奏する。

【 0 1 6 0 】

実施の形態 8.

次に、この発明の実施の形態 8 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 5 に係るデータ転送制御装置において、2 個の

バスマスタと２個のマスタバスを備え、各バスマスタが並行して第１内部モジュール 6 1 a 及び第２内部モジュール 6 1 b にアクセスできるようにしたものである。

【 0 1 6 1 】

図 2 0 は、この発明の実施の形態 8 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、主に、図 1 3 に示した実施の形態 5 に係るデータ転送制御装置に、第 2 バスマスタ 2 0 0、第 2 マスタバス 2 0 0 a、バスインタフェースユニット（以下、「B I U _ C」という）1 2 0、セクタ 7 a、セクタ 2 0 7、セクタ 1 2 6、第 1 アドレスデコーダ 2 1 0、第 2 アドレスデコーダ 2 2 0 が追加されることにより構成されている。

【 0 1 6 2 】

第 1 バスマスタ 1 5 4 は、実施の形態 5 におけるバスマスタ 5 4 に対応する。この第 1 バスマスタ 1 5 4 は、第 1 マスタバス 5 4 a、B I U _ E 1 9 0 及び外部デバイス制御部 9 1 を介して外部デバイス 1 0 1 との間でデータ転送を行うと共に、第 2 マスタバス 2 0 0 a、B I U _ C 1 2 0 を介して第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間でデータ転送を行う。

【 0 1 6 3 】

第 1 マスタバス 5 4 a は、実施の形態 5 におけるマスタバス 5 1 a に、B I U _ C 1 2 0 からの第 2 リードデータ信号 M a D R _ C を取り込むためのリードデータバス 9 C が追加されて構成されている。具体的には、第 1 マスタアドレス信号 M a A D D R を流すためのマスタアドレスバス 2、第 1 マスタ制御信号 M a C S を流すためのマスタ制御信号バス 3、第 1 マスタライトデータ信号 M a D W を流すためのマスタライトデータバス 4、B I U _ E 1 9 0 からの第 1 リードデータ信号 M b D R _ E を取り込むためのリードデータバス 9 及び上述したリードデータバス 9 C から構成されている。

【 0 1 6 4 】

また、セクタ 7 a は、リードデータバス 9 から送られてくる第 1 リードデータ信号 M a D R _ E 又はリードデータバス 9 C から送られてくる第 2 リードデータ信号 M a D R _ C の何れかを選択して第 1 バスマスタ 1 5 4 に送る。

【 0 1 6 5 】

第 2 バスマスタ 2 0 0 は、第 1 マスタバス 5 4 a、B I U _ E 1 9 0 及び外部デバイス制御部 9 1 を介して外部デバイス 1 0 1 との間でデータ転送を行うと共に、第 2 マスタバス 2 0 0 a、B I U _ C 1 2 0 を介して第 1 内部モジュール 6 1 a 又は第 2 内部モジュール 6 1 b との間でデータ転送を行う。

【 0 1 6 6 】

第 2 マスタバス 2 0 0 a は、第 1 マスタバス 5 4 a に対応する複数のバスから構成されている。即ち、第 2 マスタアドレス信号 M b A D D R を流すためのマスタアドレスバス 2 0 2、第 2 マスタ制御信号 M b C S を流すためのマスタ制御信号バス 2 0 3、第 2 マスタライトデータ信号 M b D W を流すためのマスタライトデータバス 2 0 4、B I U _ E 1 9 0 からの第 1 リードデータ信号 M b D R _ E を取り込むためのリードデータバス 2 0 9 及び B I U _ C 1 2 0 からの第 2 リードデータ信号 M b D R _ C を取り込むためのリードデータバス 2 0 9 C から構成されている。

【 0 1 6 7 】

また、セクタ 2 0 7 は、リードデータバス 2 0 9 から送られてくる第 1 リードデータ信号 M a D R _ E 又はリードデータバス 2 0 9 C から送られてくる第 2 リードデータ信号 M a D R _ C の何れかを選択して第 2 バスマスタ 2 0 0 に送る。

【 0 1 6 8 】

B I U _ E 1 9 0 は、実施の形態 5 に係るデータ転送制御装置の B I U _ E 9 0 に、第 1 バスマスタ 1 5 4 からのアクセスと第 2 バスマスタ 2 0 0 からのアクセスを調停する機能が加えられて構成されている。

【 0 1 6 9 】

B I U _ C 1 2 0 は、第 1 バスマスタ 1 5 4 からのアクセスと第 2 バスマスタ 2 0 0 からのアクセスを調停し、第 1 マスタバス 5 4 a のプロトコル又は第 2 マスタバス 2 0 0 a のプロトコルを、内蔵モジュール用スレーブバス 1 2 0 a のプロトコルに変換する。

【 0 1 7 0 】

第1アドレスデコーダ210は、第1バスマスタ154から出力される第1マスタアドレス信号MaADDRが、BIU__E190及びBIU__C120のどちらのアドレス空間を指定しているかを判定する。この第1アドレスデコーダ210によりBIU__E190のアドレス空間を指定していることが判定された場合は、信号線211を介して、その旨を表すMaBIU__E選択信号がBIU__E190に送られる。一方、BIU__C120のアドレス空間を指定していることが判定された場合は、信号線212を介して、その旨を表すMaBIU__C選択信号がBIU__C120に送られる。

【0171】

第2アドレスデコーダ220は、第2バスマスタ200から出力される第2マスタアドレス信号MbADDRが、BIU__E190及びBIU__C120のどちらのアドレス空間を指定しているかを判定する。この第2アドレスデコーダ220によりBIU__E190のアドレス空間を指定していることが判定された場合は、信号線221を介して、その旨を表すMaBIU__E選択信号がBIU__E190に送られる。一方、BIU__C120のアドレス空間を指定していることが判定された場合は、信号線222を介して、その旨を表すMaBIU__C選択信号がBIU__C120に送られる。

【0172】

BIU__C120は、内蔵モジュール用スレーブバス120aによって第1内部モジュール61a及び第2内部モジュール61bに接続されている。内蔵モジュール用スレーブバス120aは、内部アドレスバス122、内部リードデータバス123、内部ライドデータバス124及び内部制御信号バス125から構成されている。

【0173】

内部アドレスバス122は、BIU__C120から出力される内部アドレス信号CADDRを第1内部モジュール61a及び第2内部モジュール61bに送るために使用される。内部リードデータバス123は、第1内部モジュール61a及び第2内部モジュール61bから読み出されてセレクタ126で選択された内部リードデータ信号CDRをBIU__C120に送るために使用される。内部ラ

イトデータバス 1 2 4 は、B I U _ C 1 2 0 から出力される内部ライトデータ C D W を第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b に送るために使用される。内部制御信号バス 1 2 5 は、B I U _ C 1 2 0 から出力される内部制御信号 C C S を第 1 内部モジュール 6 1 a 及び第 2 内部モジュール 6 1 b に送るために使用される。

【 0 1 7 4 】

セクタ 1 2 6 は、第 1 内部モジュール 6 1 a から信号線 1 2 3 a を介して送られてくるリードデータ及び第 2 内部モジュール 6 1 b から信号線 1 2 3 b を介して送られてくるリードデータの何れか選択し、内部リードデータ信号 C D R として内部リードデータバス 1 2 3 に出力する。

【 0 1 7 5 】

次に、上記のように構成される、この発明の実施の形態 8 に係るデータ転送制御装置の動作を説明する。まず、第 1 バスマスタ 1 5 4 から第 1 内部モジュール 6 1 a に対するアクセス（リード動作及びライト動作）について説明する。

【 0 1 7 6 】

第 1 バスマスタ 1 5 4 は、まず、第 1 選択信号 S E L a を第 1 選択信号線 5 6 a に出力し、第 1 内部モジュール 6 1 a を選択する。次いで、アクセスに必要な第 1 マスタ制御信号 M a C S をマスタ制御信号バス 3 に出力する。同時に、アクセスに必要な第 1 マスタアドレス信号 M a A D D R をマスタアドレスバス 2 に出力する。ライト動作時には、更に、第 1 マスタライトデータ信号 M a D W をマスタライトデータバス 4 に出力する。

【 0 1 7 7 】

また、第 1 アドレスデコーダ 2 1 0 は、第 1 マスタアドレス信号 M a A D D R をデコードし、B I U _ E 1 9 0 及び B I U _ C 1 2 0 のどちらのアドレス空間を指定しているかを判断する。この判断の結果、B I U _ C 1 2 0 のアドレス空間を指定していることが判断されるので、信号線 2 1 2 を介して、M a B I U _ C 選択信号が B I U _ C 1 2 0 に送られる。これにより、B I U _ C 1 2 0 が選択される。

【 0 1 7 8 】

このようにして選択されたBIU_C120は、第1バスマスタ154のアクセス要求を受け付けると、第1マスタバス54aのプロトコルを、内蔵モジュール用スレーブバス120aのプロトコルに変換する。これにより、BIU_C120から内部アドレス信号CADDRが内部アドレスバス122に出力されると共に、内部制御信号CCSが内部制御信号バス125に出力される。ライト動作の場合は、更に、内部ライトデータCDWが内部ライトデータバス124に出力される。この内蔵モジュール用スレーブバス120aに出力された各信号は、第1内部モジュール61aに送られる。

【0179】

第1内部モジュール61aでは、内部制御信号CCSによりリードアクセスが指定されていれば、内部アドレス信号CADDRで指定された位置からデータを読み出し、信号線123aに出力する。この信号線123aに出力されたデータは、セクタ126を介して内部リードデータバス123に出力され、内部リードデータ信号CDRとしてBIU_C120に送られる。BIU_C120は、この内部リードデータ信号CDRを、第1リードデータ信号MbDR_Cとして第1マスタバス54aのリードデータバス209Cに出力する。この第1リードデータ信号MbDR_Cは、セクタ7aを介して第1バスマスタ154に取り込まれる。これにより、リード動作は終了する。

【0180】

一方、内部制御信号CCSによりリードアクセスが指定されていれば、第1内部モジュール61aは、内部ライトデータバス124に出力されている内部ライトデータCDWを、内部アドレス信号CADDRで指定された位置に書き込む。これにより、ライト動作は終了する。

【0181】

第2バスマスタ200による第1内部モジュール61aへのアクセス（リード動作及びライト動作）は、第2マスタバス200aを利用して、上記と同様の手順で行われる。

【0182】

ここで、第1バスマスタ154と第2バスマスタ200とが同時にBIU_C

1 2 0 のアドレス空間にアクセスした場合を考える。この場合、第 1 アドレスデコーダ 2 1 0 から信号線 2 1 2 を介して送られてくる M a B I U _ C 選択信号により B I U _ C 1 2 0 が選択されると共に、第 2 アドレスデコーダ 2 2 0 から信号線 2 2 2 を介して送られてくる M b B I U _ C 選択信号により B I U _ C 1 2 0 が選択される。そこで、B I U _ C 1 2 0 は、第 1 バスマスタ 1 5 4 と第 2 バスマスタ 2 0 0 との何れのアクセスを受け付けるかを決定するためのアービトレーションを行う。アービトレーションの方法としては、第 1 バスマスタ 1 5 4 からのアクセスを優先して受け付けるようにハードウェアで固定する方法、第 2 バスマスタ 2 0 0 からのアクセスを優先して受け付けるようにハードウェアで固定する方法、B I U _ C 1 2 0 の内部にレジスタを設け、このレジスタの設定によって優先順位を切り換える方法等を用いることができる。例えば、第 1 バスマスタ 1 5 4 からのアクセスを優先して受け付けるようにハードウェアで固定する方法が採用される場合、先に第 1 バスマスタ 1 5 4 からのアクセスが受け付けられ、第 2 バスマスタ 2 0 0 のアクセスは、第 1 バスマスタ 1 5 4 の動作が終了するまで待たされる。そして、第 1 バスマスタ 1 5 4 からのアクセスが終了した後に、引き続いて第 2 バスマスタ 2 0 0 のアクセスが受け付けられ動作が行われる。

【 0 1 8 3 】

この実施の形態 8 に係るデータ転送制御装置の構成によれば、上述した実施の形態 5 に係るデータ転送制御装置における動作と同様にして第 1 バスマスタ 1 5 4 からの要求に応じて第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 へのデータ転送が行われている時に、第 2 バスマスタ 2 0 0 は、B I U _ C 1 2 0 を介して上述した動作により、第 1 内部モジュール 6 1 a にアクセスできる。

【 0 1 8 4 】

以上説明したように、この実施の形態 8 に係るデータ転送制御装置によれば、第 1 バスマスタ 1 5 4 からの要求に応じて第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 へのデータ転送が行われている時に、このデータ転送と並行して、第 2 バスマスタ 2 0 0 は、第 1 内部モジュール 6 1 a にアクセスできるので、トータルのデータ転送に要するクロックサイクルを減らすことができる。

【 0 1 8 5 】

実施の形態 9.

次に、この発明の実施の形態 9 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 8 に係るデータ転送制御装置において、複数のバススレーブの間で行われる転送用バスを用いたデータ転送が終了するのを待たないで、バスマスタと他のバススレーブとの間のデータ転送を可能にしたものである。

【0186】

図 21 は、この発明の実施の形態 9 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、主に、図 20 に示した実施の形態 5 に係るデータ転送制御装置に、バスインタフェースユニット（以下、「BIU__M」という）130 及び内蔵メモリブロック 131 が追加され、セクタ 7a 及びセクタ 207 がセクタ 7b 及びセクタ 207a にそれぞれ変更されることにより構成されている。

【0187】

以下、実施の形態 8 に係るデータ転送制御装置と異なる部分を説明する。第 1 バスマスタ 154 は、BIU__E 190 及び BIU__C 120 を介するデータ転送の他に、BIU__M 130 を介して内蔵メモリブロック 131 との間でデータ転送を行う。第 1 マスタバス 54a は、実施の形態 8 における第 1 マスタバス 54a に、BIU__M 130 からの第 3 リードデータ信号 M a D R__M を取り込むためのリードデータバス 9M が追加されて構成されている。

【0188】

また、セクタ 7b は、リードデータバス 9 から送られてくる第 1 リードデータ信号 M a D R__E、リードデータバス 9C から送られてくる第 2 リードデータ信号 M a D R__C 及びリードデータバス 9M から送られてくる第 3 リードデータ信号 M a D R__M の何れかを選択して第 1 バスマスタ 154 に送る。

【0189】

第 2 バスマスタ 200 は、BIU__E 190 及び BIU__C 120 を介するデータ転送の他に、BIU__M 130 を介して内蔵メモリブロック 131 との間でデータ転送を行う。第 2 マスタバス 200a は、実施の形態 8 における第 2 マス

タバス 2 0 0 a に、B I U _ M 1 3 0 からの第 3 リードデータ信号 M b D R _ M を取り込むためのリードデータバス 2 0 9 _ M が追加されて構成されている。

【 0 1 9 0 】

また、セクタ 2 0 7 a は、リードデータバス 2 0 9 から送られてくる第 1 リードデータ信号 M a D R _ E、リードデータバス 2 0 9 C から送られてくる第 2 リードデータ信号 M a D R _ C 及びリードデータバス 2 0 9 _ M から送られてくる第 3 リードデータ信号 M a D R _ M の何れかを選択して第 2 バスマスタ 2 0 0 に送る。

【 0 1 9 1 】

B I U _ M 1 3 0 は、第 1 バスマスタ 1 5 4 からのアクセスと第 2 バスマスタ 2 0 0 からのアクセスを調停し、第 1 マスタバス 5 4 a のプロトコル又は第 2 マスタバス 2 0 0 a のプロトコルを、内蔵メモリ用スレーブバス 1 3 0 a のプロトコルに変換する。B I U _ C 1 2 0 は、内蔵メモリ用スレーブバス 1 3 0 a によって内蔵メモリブロック 1 3 1 に接続されている。内蔵メモリ用スレーブバス 1 3 0 a は、内蔵メモリアドレスバス 1 3 2、内蔵メモリリードデータバス 1 3 3、内蔵メモリライトデータバス 1 3 4 及び内蔵メモリ制御信号バス 1 3 5 から構成されている。

【 0 1 9 2 】

内蔵メモリアドレスバス 1 3 2 は、B I U _ M 1 3 0 から出力される内蔵メモリアドレス信号 M A D D R を内蔵メモリブロック 1 3 1 に送るために使用される。内蔵メモリリードデータバス 1 3 3 は、内蔵メモリブロック 1 3 1 から読み出された内蔵メモリリードデータ M D R を B I U _ M 1 3 0 に送るために使用される。内蔵メモリライトデータバス 1 3 4 は、B I U _ M 1 3 0 から出力される内蔵メモリライトデータ M D W を内蔵メモリブロック 1 3 1 に送るために使用される。内蔵メモリ制御信号バス 1 3 5 は、B I U _ M 1 3 0 から出力される内蔵メモリ制御信号を内蔵メモリブロック 1 3 1 に送るために使用される。

【 0 1 9 3 】

転送制御部 1 1 0 は、実施の形態 8 における転送制御部 1 1 0 の機能に加えて、転送指示を受けたことを表す転送指示受付信号を、信号線 1 1 1 を介して第 1

バスマスタ 1 5 4 に送り、また、データ転送中であることを表すビジー信号を信号線 1 1 2 を介して B I U _ E 1 9 0 に送る機能を備えている。

【 0 1 9 4 】

次に、上記のように構成される、この発明の実施の形態 9 に係るデータ転送制御装置の動作を説明する。

【 0 1 9 5 】

第 1 バスマスタ 1 5 4 からのアクセス要求に応答して行われる、第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 へのデータ転送は、実施の形態 5 及び実施の形態 8 と同様に行われる。なお、第 1 バスマスタ 1 5 4 が転送指示線 5 5 を介して転送指示信号を転送制御部 1 1 0 に送ると、転送制御部 1 1 0 は、この転送指示信号に応答して、第 1 内部モジュール 6 1 a 及び外部デバイス 1 0 1 に対して必要な制御信号を出力する。これと同時に、転送制御部 1 1 0 は、転送指示を受けたことを表す転送指示受付信号を、信号線 1 1 1 を介して第 1 バスマスタ 1 5 4 に送ると共に、データ転送中であることを表すビジー信号を、信号線 1 1 2 を介して B I U _ E 1 9 0 に送る。B I U _ E 1 9 0 は、ビジー信号を受け取ると、そのビジー信号が解除されるまで、第 1 バスマスタ 1 5 4 及び第 2 バスマスタ 2 0 0 からのアクセス要求を受け付けない。この状態で、上述した第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 へのデータ転送が行われる。

【 0 1 9 6 】

第 1 バスマスタ 1 5 4 は、転送制御部 1 1 0 からの転送指示受付信号により、転送制御部 1 1 0 に出した転送指示が受け付けられたものと判断し、次のアクセスに移る。このとき、例えば第 2 内部モジュール 6 1 b から内蔵メモリブロック 1 3 1 へのデータ転送が可能である。このデータ転送動作は、第 1 バスマスタ 1 5 4 が、先ず、第 2 内部モジュール 6 1 b に対してリード動作を実行し、その後、内蔵メモリブロック 1 3 1 に対してライト動作を実行することにより実現できる。

【 0 1 9 7 】

以上説明したように、この実施の形態 9 に係るデータ転送制御装置によれば、第 1 バスマスタ 1 5 4 は、転送制御部 1 1 0 に対して要求した転送指示が受け付

けられると、その転送が完了するのを待たないで、次のアクセスを開始できるため、トータル的にデータ転送に要するクロックサイクルを減らすことができる。

【 0 1 9 8 】

実施の形態 1 0 .

次に、この発明の実施の形態 1 0 に係るデータ転送制御装置を説明する。このデータ転送制御装置は、実施の形態 8 に係るデータ転送制御装置において、複数のバススレーブの間で行われる転送用バスを用いたデータ転送が終了するのを待たないで、バスマスタと他のバススレーブとの間のデータ転送を可能にしたものである。

【 0 1 9 9 】

図 2 2 は、この発明の実施の形態 1 0 に係るデータ転送制御装置の構成を示すブロック図である。このデータ転送制御装置は、図 2 0 に示した実施の形態 5 に係るデータ転送制御装置において、第 1 バスマスタ 1 5 4 から B I U _ E 1 9 0 及び B I U _ C 1 2 0 に接続されるスレーブバス権確保信号線 1 5 5 が設けられて構成されている。第 1 バスマスタ 1 5 4 は、スレーブバス権確保信号線 1 5 5 にスレーブバス権確保信号を出力する。

【 0 2 0 0 】

次に、上記のように構成される、この発明の実施の形態 1 0 に係るデータ転送制御装置の動作を説明する。ここでは、第 1 バスマスタ 1 5 4 からの要求に応答して行われる、第 1 内部モジュール 6 1 a から外部デバイス 1 0 1 へのデータ転送の動作について説明する。この動作は、実施の形態 5、実施の形態 8 及び実施の形態 9 と同様に行われる。ここで、第 1 バスマスタ 1 5 4 は、B I U _ E 1 9 0 に対してアクセスを行う際に、スレーブバス権確保信号線 1 5 5 にスレーブバス権確保信号を出力する。B I U _ E 1 9 0 は、一旦、第 1 バスマスタ 1 5 4 からのアクセス要求を受け付けると、そのアクセス要求に応じた動作が終了するまで、第 1 バスマスタ 1 5 4 以外のバスマスタからのアクセス要求を受け付けないように制御される。B I U _ C 1 2 0 についても同様である。

【 0 2 0 1 】

この実施の形態 1 0 に係るデータ転送制御装置によれば、第 1 バスマスタ 1 5

4 は、スレーブバス権確保信号を用いて B I U _ E 1 9 0 又は B I U _ C 1 2 0 に対するバス権を確保した状態でデータのリード動作又はライト動作を行うことができるので、他のバスマスタからのアクセス要求に基づいてデータ転送に起因してクロックサイクル数が増加するのを防止できる。その結果、トータル的にデータ転送に要するクロックサイクルを減らすことができる。

【 0 2 0 2 】

この実施の形態 1 0 に係るデータ転送制御装置は、図 2 3 に示すように変形することができる。この変形例に係るデータ転送制御装置は、図 2 2 に示したデータ転送制御装置の構成と、図 2 1 に示した実施の形態 9 に係るデータ転送制御装置の構成とを組み合わせ、更に、実施の形態 9 及び実施の形態 1 0 における第 1 マスタバス 5 4 a が、デスティネーションアクセス（ライト動作）のための第 1 デスティネーション用マスタバス 5 4 b とソースアクセス（リード動作）のための第 1 ソース用マスタバス 5 4 c とに分けられて構成されている。

【 0 2 0 3 】

第 1 バスマスタ 1 5 4 は、第 1 デスティネーション用マスタバス 5 4 b 及び第 1 ソース用マスタバス 5 4 c に対するインタフェースを備えている。

【 0 2 0 4 】

第 1 ソース用マスタバス 5 4 c は、ソースアクセス用アドレスバス 2 _ s 、ソースアクセス用制御信号バス 3 _ s 及びソースアクセス用スレーブバス権確保信号線 1 5 5 _ s を含んでいる。ソースアクセス用スレーブバス権確保信号線 1 5 5 _ s は、第 1 バスマスタ 1 5 4 から B I U _ E 1 9 0 、 B I U _ C 1 2 0 及び B I U _ M 1 3 0 に接続されており、これらにソースアクセス用スレーブバス権確保信号を送るために使用される。

【 0 2 0 5 】

第 1 ソースアドレスデコーダ 2 1 0 _ s は、第 1 バスマスタ 1 5 4 からソースアクセス用アドレスバス 2 _ s に出力されるソースアドレス信号 M a A D D R _ s を受けて、第 1 バスマスタ 1 5 4 から B I U _ E 1 9 0 、 B I U _ C 1 2 0 及び B I U _ M 1 3 0 の何れのアドレス空間が指定されているかを判断する。この第 1 ソースアドレスデコーダ 2 1 0 _ s により B I U _ E 1 9 0 のアドレス空間

が指定されていることが判定された場合は、信号線 2 1 1 __ s を介して、その旨を表すソース M a B I U __ E 選択信号が B I U __ E 1 9 0 に送られる。また、B I U __ C 1 2 0 のアドレス空間が指定されていることが判定された場合は、信号線 2 1 2 __ s を介して、その旨を表すソース M a B I U __ C 選択信号が B I U __ C 1 2 0 に送られる。更に、B I U __ M 1 3 0 のアドレス空間が指定されていることが判定された場合は、信号線 2 1 3 __ s を介して、その旨を表すソース M a B I U __ M 選択信号が B I U __ M 1 3 0 に送られる。

【 0 2 0 6 】

第 1 デスティネーション用マスタバス 5 4 b は、デスティネーションアクセス用アドレスバス 2 __ d、デスティネーションアクセス用制御信号バス 3 __ d 及びデスティネーションアクセス用スレーブバス権確保信号線 1 5 5 __ d を含んでいる。デスティネーションアクセス用スレーブバス権確保信号線 1 5 5 __ d は、第 1 バスマスタ 1 5 4 から B I U __ E 1 9 0、B I U __ C 1 2 0 及び B I U __ M 1 3 0 に接続されており、これらにデスティネーションアクセス用スレーブバス権確保信号を送るために使用される。

【 0 2 0 7 】

第 1 デスティネーションアドレスデコーダ 2 1 0 __ d は、第 1 バスマスタ 1 5 4 からデスティネーションアクセス用アドレスバス 2 __ d に出力されるデスティネーションアドレス信号 M a A D D R __ d を受けて、第 1 バスマスタ 1 5 4 から B I U __ E 1 9 0、B I U __ C 1 2 0 及び B I U __ M 1 3 0 の何れのアドレス空間が指定されているかを判断する。この第 1 デスティネーションアドレスデコーダ 2 1 0 __ d により B I U __ E 1 9 0 のアドレス空間が指定されていることが判定された場合は、信号線 2 1 1 __ d を介して、その旨を表すデスティネーション M a B I U __ E 選択信号が B I U __ E 1 9 0 に送られる。また、B I U __ C 1 2 0 のアドレス空間が指定されていることが判定された場合は、信号線 2 1 2 __ d を介して、その旨を表すデスティネーション M a B I U __ C 選択信号が B I U __ C 1 2 0 に送られる。更に、B I U __ M 1 3 0 のアドレス空間が指定されていることが判定された場合は、信号線 2 1 3 __ d を介して、その旨を表すデスティネーション M a B I U __ M 選択信号が B I U __ M 1 3 0 に送られる。

【0208】

次に、この変形例に係るデータ転送制御装置の動作を説明する。ここでは、第1バスマスタ154の制御により第1内部モジュール61aから内蔵メモリブロック131にデータが転送される場合の例を説明する。

【0209】

まず、第1バスマスタ154は、第1ソース用マスタバス54cを使用して第1内部モジュール61aからデータを読み出し、このリードされたデータを、第1デスティネーション用マスタバス54bを利用して内蔵メモリブロック131に書き込む。この動作を繰り返すことにより、所望の数のデータが転送される。第1内部モジュール61aからのデータの読み出し及び内蔵メモリブロック131へのデータの書き込みの各動作は、ソースアクセス用スレーブバス権確保信号及びデスティネーションアクセス用スレーブバス権確保信号が使用される点を除けば、実施の形態8で説明した第1バスマスタ154によるデータ転送動作と同じである。

【0210】

第1バスマスタ154から第1内部モジュール61aに対するソースアクセス（リード動作）時には、ソースアクセス用スレーブバス権確保信号線155_sにソースアクセス用スレーブバス権確保信号が出力され、BIU__E190、BIU__C120及びBIU__M130に送られる。第1ソースアドレスデコーダ210_sは、第1バスマスタ154から出力されたソースアドレス信号MaA DDR_sをデコードし、信号線212_sを介して、ソースMaBIU__C選択信号をBIU__C120に送る。

【0211】

BIU__C120は、第1バスマスタ154からのソースアクセス要求、第1バスマスタ154からのデスティネーションアクセス要求及び第2バスマスタ200からのアクセス要求を調停し、受け付ける1つのアクセス要求を決定する。ここでは、第1バスマスタ154からのデスティネーションアクセス要求及び第2バスマスタ200からのアクセス要求は存在しないものと仮定する。

【0212】

B I U _ C 1 2 0 は、唯一のアクセス要求である第 1 バスマスタ 1 5 4 からのソースアクセス要求を受け付ける。この際、第 1 バスマスタ 1 5 4 からソースアクセス用スレーブバス権確保信号線 1 5 5 _ s にソースアクセス用スレーブバス権確保信号が出力されているので、現在行われている 1 データ分のリードアクセス動作が終了しても、第 1 バスマスタ 1 5 4 に与えられた内蔵モジュール用スレーブバス 1 2 0 a のバス権は開放されない。B I U _ C 1 2 0 は、第 1 バスマスタ 1 5 4 から引き続いて出される第 1 内部モジュール 6 1 a へのソースアクセス要求を受け付ける。この時、第 2 バスマスタ 2 0 0 からのアクセス要求があっても、そのアクセス要求を受け付けない。

【 0 2 1 3 】

このような動作により、第 1 バスマスタ 1 5 4 からソースアクセス用スレーブバス権確保信号線 1 5 5 _ s にソースアクセス用スレーブバス権確保信号を出力し続けることにより、所望の回数のリードアクセス動作が繰り返される。このリードアクセス動作が繰り返されている間は、B I U _ C 1 2 0 は、他のバスマスタからのアクセス要求は受け付けない。

【 0 2 1 4 】

第 1 バスマスタ 1 5 4 から内蔵メモリブロック 1 3 1 に対するデスティネーションアクセス（ライト動作）時には、デスティネーションアクセス用スレーブバス権確保信号線 1 5 5 _ d にデスティネーションアクセス用スレーブバス権確保信号が出力され、B I U _ E 1 9 0、B I U _ C 1 2 0 及び B I U _ M 1 3 0 に送られる。第 1 デスティネーションアドレスデコーダ 2 1 0 _ d は、第 1 バスマスタ 1 5 4 から出力されたデスティネーションアドレス信号 M a A D D R _ d をデコードし、信号線 2 1 3 _ d を介して、デスティネーション M a B I U _ M 選択信号を B I U _ M 1 3 0 に送る。

【 0 2 1 5 】

B I U _ M 1 3 0 は、第 1 バスマスタ 1 5 4 からのソースアクセス要求、第 1 バスマスタ 1 5 4 からのデスティネーションアクセス要求及び第 2 バスマスタ 2 0 0 からのアクセス要求を調停し、受け付ける 1 つのアクセス要求を決定する。ここでは、第 1 バスマスタ 1 5 4 からのソースアクセス要求及び第 2 バスマスタ

2 0 0 からのアクセス要求は存在しないものと仮定する。

【 0 2 1 6 】

B I U _ M 1 3 0 は、唯一のアクセス要求である第 1 バスマスタ 1 5 4 からのデスティネーションアクセス要求を受け付ける。この際、第 1 バスマスタ 1 5 4 からデスティネーションアクセス用スレーブバス権確保信号線 1 5 5 _ d にデスティネーション用スレーブバス権確保信号が出力されているので、現在行われている 1 データ分のライトアクセス動作が終了しても、第 1 バスマスタ 1 5 4 に与えられた内蔵メモリ用スレーブバス 1 3 0 a のバス権は開放されない。B I U _ M 1 3 0 は、第 1 バスマスタ 1 5 4 から引き続いて出される内蔵メモリブロック 1 3 1 へのデスティネーションアクセス要求を受け付ける。この時、第 2 バスマスタ 2 0 0 からのアクセス要求があっても、そのアクセス要求を受け付けない。

【 0 2 1 7 】

このような動作により、第 1 バスマスタ 1 5 4 からデスティネーションアクセス用スレーブバス権確保信号線 1 5 5 _ d にデスティネーションアクセス用スレーブバス権確保信号を出力し続けることにより、所望の回数のライトアクセス動作が繰り返される。このライトアクセス動作が繰り返されている間は、B I U _ M 1 3 0 は、他のバスマスタからのアクセス要求は受け付けない。

【 0 2 1 8 】

以上のようにして、第 1 バスマスタ 1 5 4 の制御による、第 1 内部モジュール 6 1 a から内蔵メモリブロック 1 3 1 へのデータ転送が実行される。なお、上述した動作により、第 1 内部モジュール 6 1 a から内蔵メモリブロック 1 3 1 へのデータ転送が行われている間は、このデータ転送と並行して、第 2 バスマスタ 2 0 0 は、外部デバイス 1 0 1 に対するアクセスを行うことができる。

【 0 2 1 9 】

以上説明したように、この実施の形態 1 0 に係るデータ転送制御装置によれば、スレーブバス権確保信号を用いて、各 B I U でスレーブバスのバス権を確保した状態でデータのリード動作及びライト動作を行うことができるので、他のバスマスタからのアクセスに起因してクロックサイクル数が増加するのを防止できる。その結果、最小のクロックサイクル数でデータ転送を実現できる。

【 0 2 2 0 】

【発明の効果】

以上のように、この発明によれば、バスマスタからの指示に応じて、第1バススレーブと複数の第2バススレーブの中から選択された1つの第2バススレーブとの間で専用の転送用バスを用いたデータ転送が行われるので、転送されるデータはバスマスタを経由しない。その結果、バスマスタを経由するために要するクロックサイクルを削減できるので、少ない数のクロックサイクルで効率よく、且つ迅速にデータ転送を行うことができる効果がある。

【図面の簡単な説明】

【図1】 一般的なデータ転送制御装置の構成を示すブロック図である。

【図2】 図1に示されるデータ転送制御装置の動作を説明するためのタイミングチャートである。

【図3】 この発明の実施の形態1に係るデータ転送制御装置の構成を示すブロック図である。

【図4】 図3に示されるデータ転送制御装置の動作を説明するためのタイミングチャートである。

【図5】 この発明の実施の形態2に係るデータ転送制御装置の構成を示すブロック図である。

【図6】 図5に示されるデータ転送制御装置で使用されるRAMのアドレス領域を説明するための図である。

【図7】 図5に示されるデータ転送制御装置の動作を説明するためのタイミングチャートである。

【図8】 この発明の実施の形態3に係るデータ転送制御装置の構成を示すブロック図である。

【図9】 図8に示されるデータ転送制御装置の動作を説明するためのタイミングチャートである。

【図10】 図8に示されるデータ転送制御装置の他の動作を説明するためのタイミングチャートである。

【図11】 この発明の実施の形態4に係るデータ転送制御装置の構成を示

すブロック図である。

【図 1 2】 図 1 1 に示されるデータ転送制御装置の動作を説明するためのタイミングチャートである。

【図 1 3】 この発明の実施の形態 5 に係るデータ転送制御装置の構成を示すブロック図である。

【図 1 4】 図 1 3 に示されるデータ転送制御装置の動作を説明するためのタイミングチャートである。

【図 1 5】 この発明の実施の形態 6 に係るデータ転送制御装置の構成を示すブロック図である。

【図 1 6】 図 1 5 に示されるデータ転送制御装置で使用される R A M のアドレス領域を説明するための図である。

【図 1 7】 この発明の実施の形態 7 に係るデータ転送制御装置の構成を示すブロック図である。

【図 1 8】 図 1 7 に示されるデータ転送制御装置で使用される I O のアドレス領域を説明するための図である。

【図 1 9】 この発明の実施の形態 7 に係るデータ転送制御装置の変形例の構成を示すブロック図である。

【図 2 0】 この発明の実施の形態 8 に係るデータ転送制御装置の構成を示すブロック図である。

【図 2 1】 この発明の実施の形態 9 に係るデータ転送制御装置の構成を示すブロック図である。

【図 2 2】 この発明の実施の形態 1 0 に係るデータ転送制御装置の構成を示すブロック図である。

【図 2 3】 この発明の実施の形態 1 0 に係るデータ転送制御装置の変形例の構成を示すブロック図である。

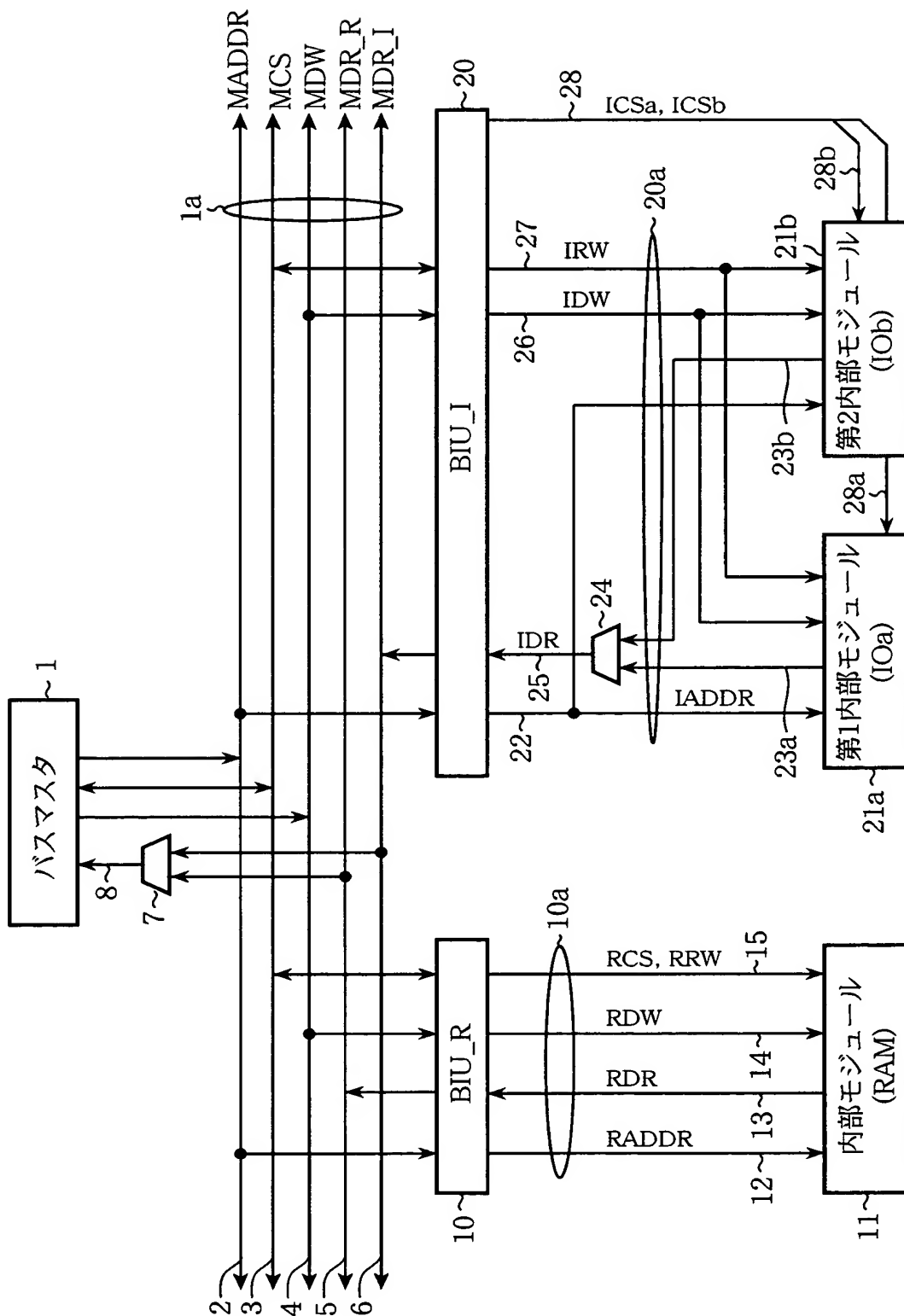
【符号の説明】

1 0 B I U _ R (バスインタフェース)、1 0 a R A M 用スレーブバス (スレーブバス)、1 1 内部モジュール (バススレーブ)、5 1, 5 2, 5 4 バスマスタ、5 1 a マスタバス、5 4 a 第 1 マスタバス (マスタバス)、5

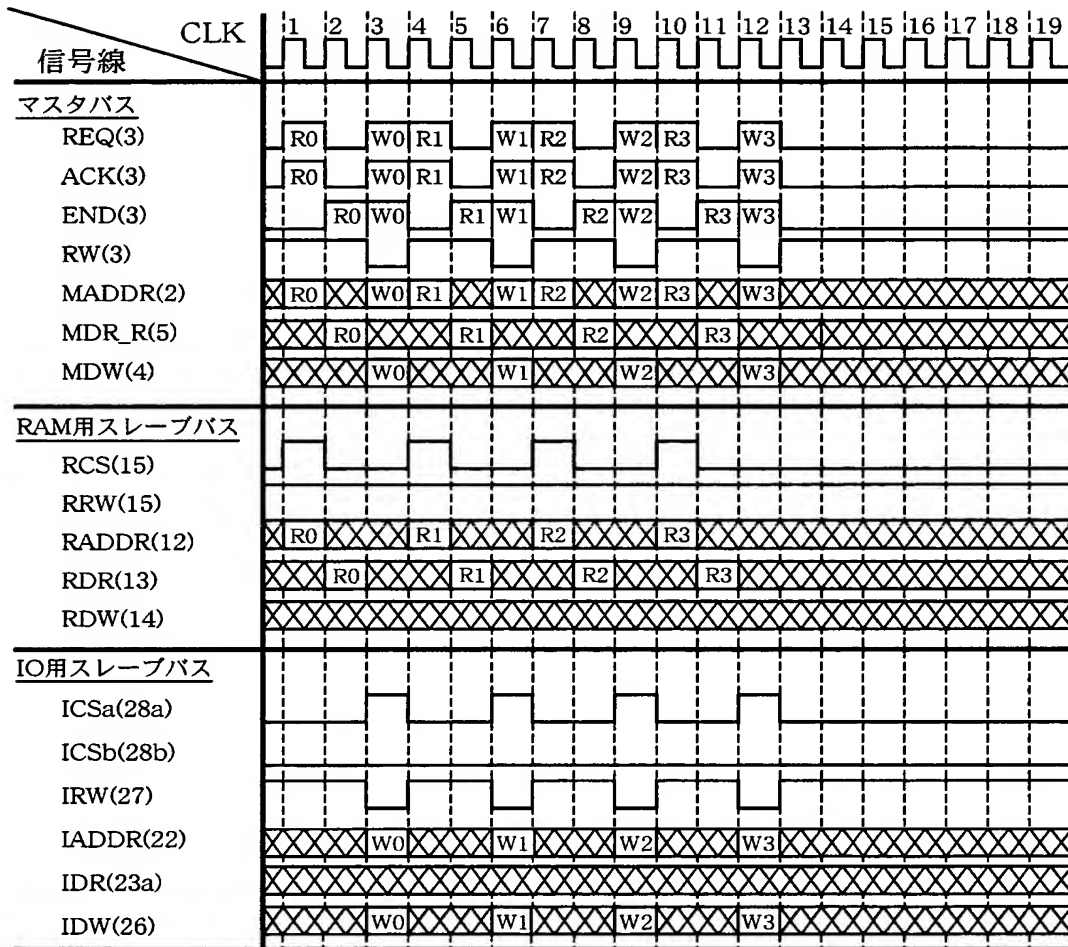
4 b 第 1 デスティネーション用マスタバス (マスタバス)、5 4 c 第 1 ソース用マスタバス (マスタバス)、6 0 転送用バス、6 1 a 第 1 内部モジュール (バススレーブ)、6 1 b 第 2 内部モジュール (バススレーブ)、6 2, 1 1 0 転送制御部、7 0 I O 選択レジスタ (選択部)、7 2 転送指示レジスタ (転送指示部)、7 4, 7 6 I O 選択制御部 (選択部)、8 0 転送指示制御部 (転送指示部)、9 0, 1 9 0 B I U _ E (バスインタフェース)、9 0 a, 1 9 0 a 外部デバイス用スレーブバス (スレーブバス)、9 1 外部デバイス制御部 (バススレーブ)、1 0 1 外部デバイス、1 2 0 B I U _ C (バスインタフェース)、1 2 0 a 内蔵モジュール用スレーブバス (スレーブバス)、1 3 0 B I U _ M (バスインタフェース)、1 3 0 a 内蔵メモリ用スレーブバス (スレーブバス)、1 3 1 内蔵メモリブロック (バススレーブ)、1 5 4 第 1 バスマスタ (バスマスタ)、2 0 0 第 2 バスマスタ、2 0 0 a 第 2 マスタバス。

【書類名】 図面

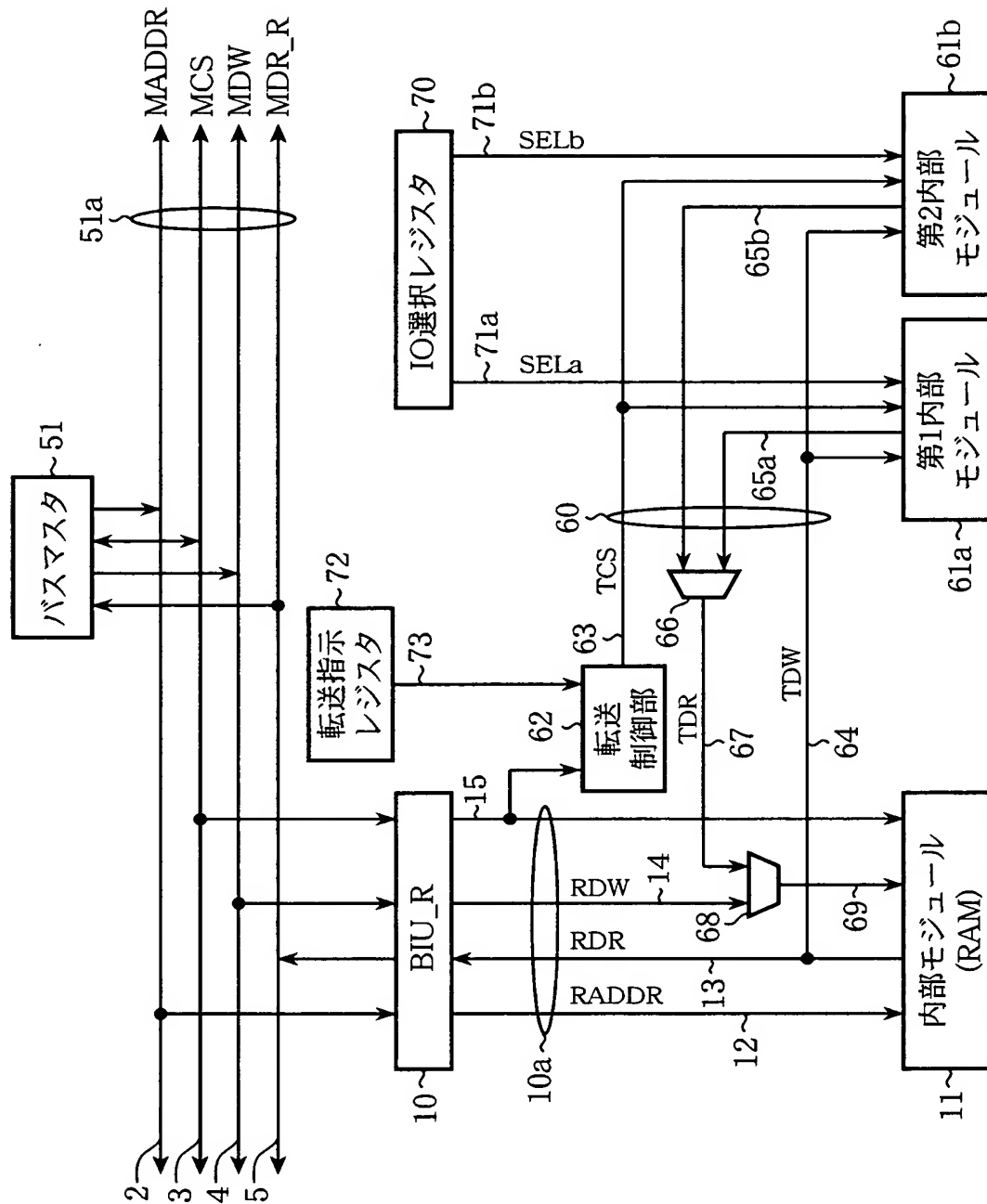
【図 1】



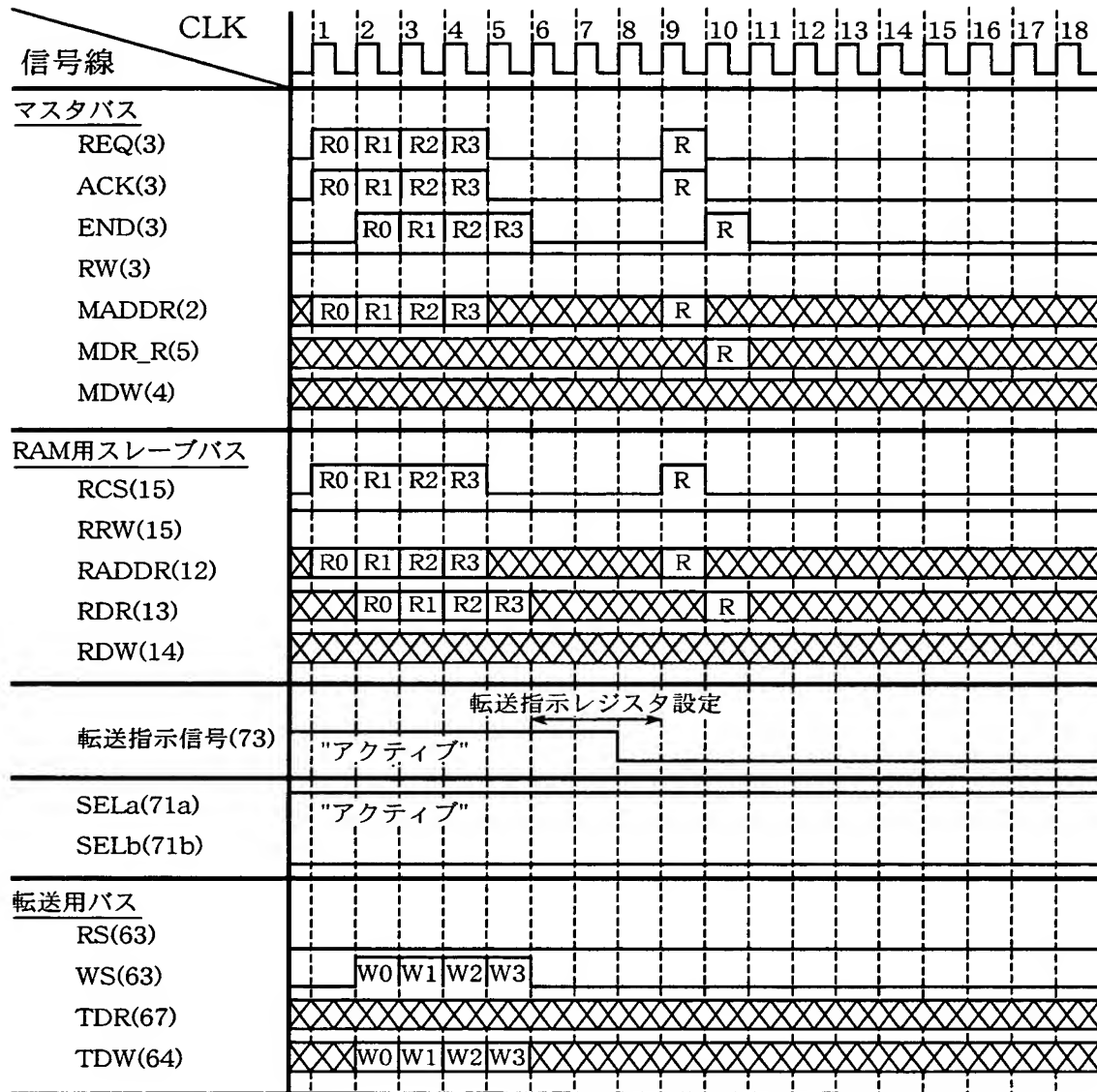
【図 2】



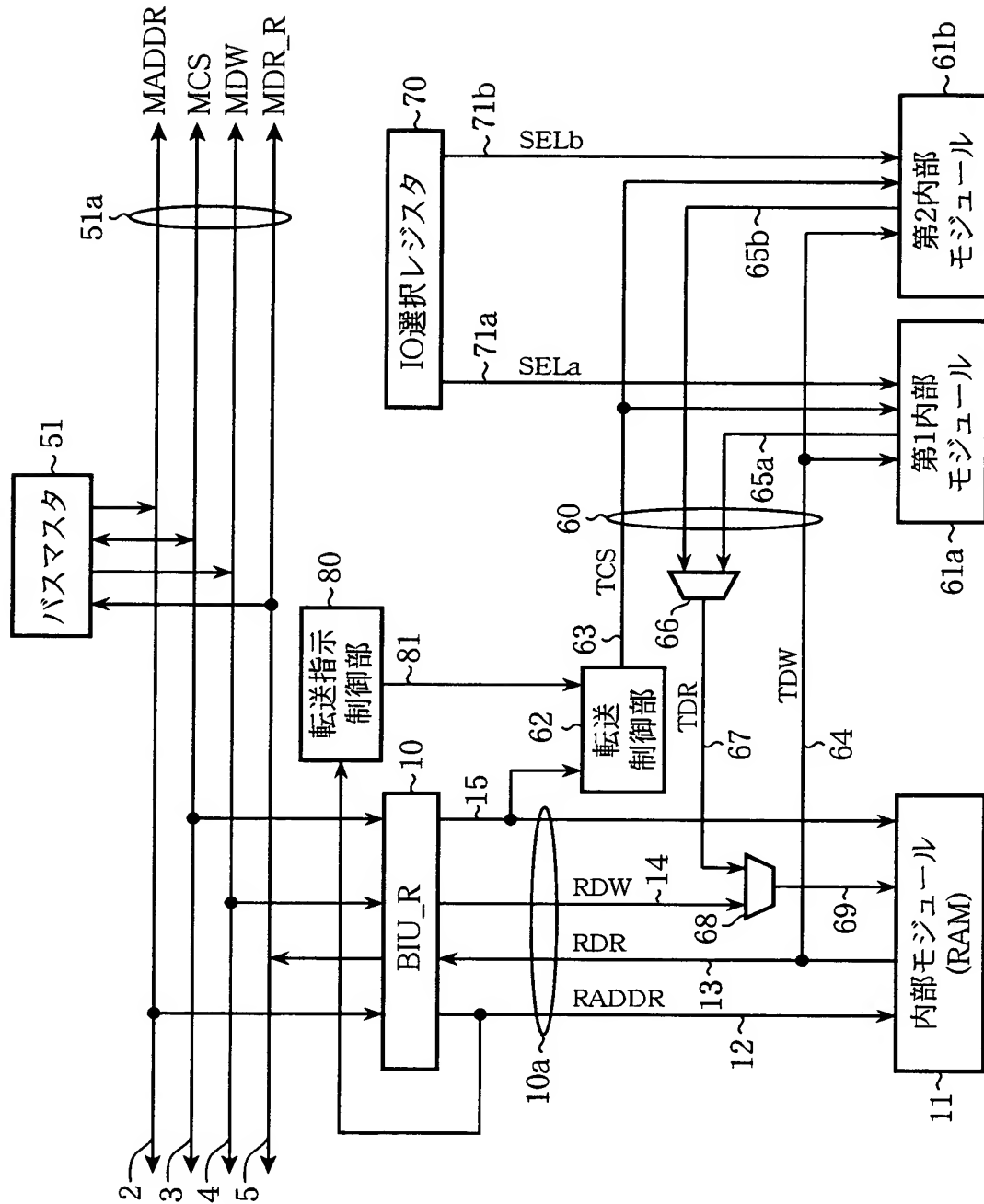
【図3】



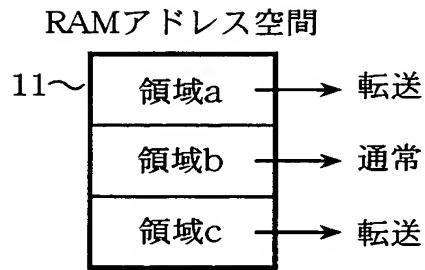
【図 4】



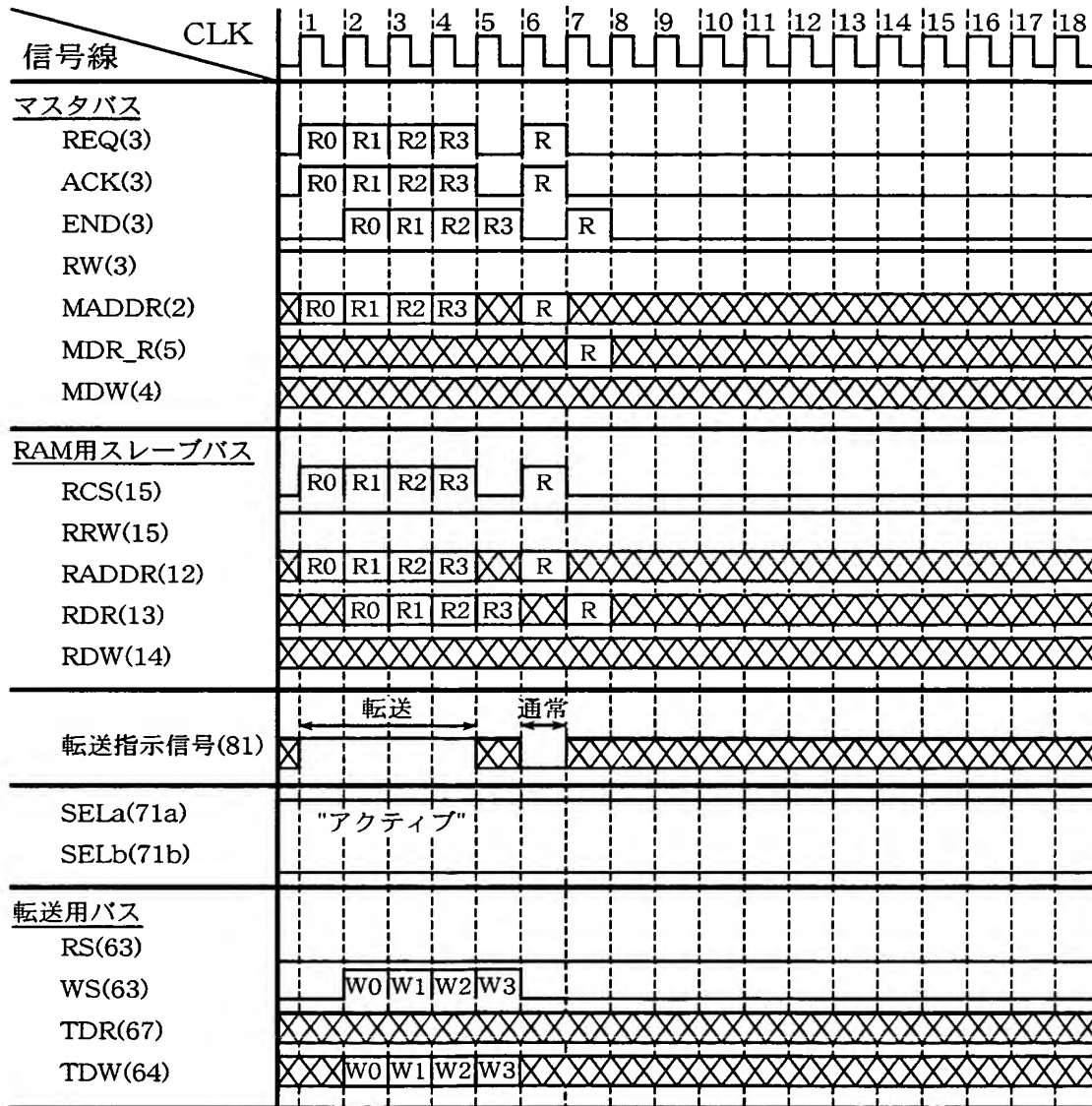
【図 5】



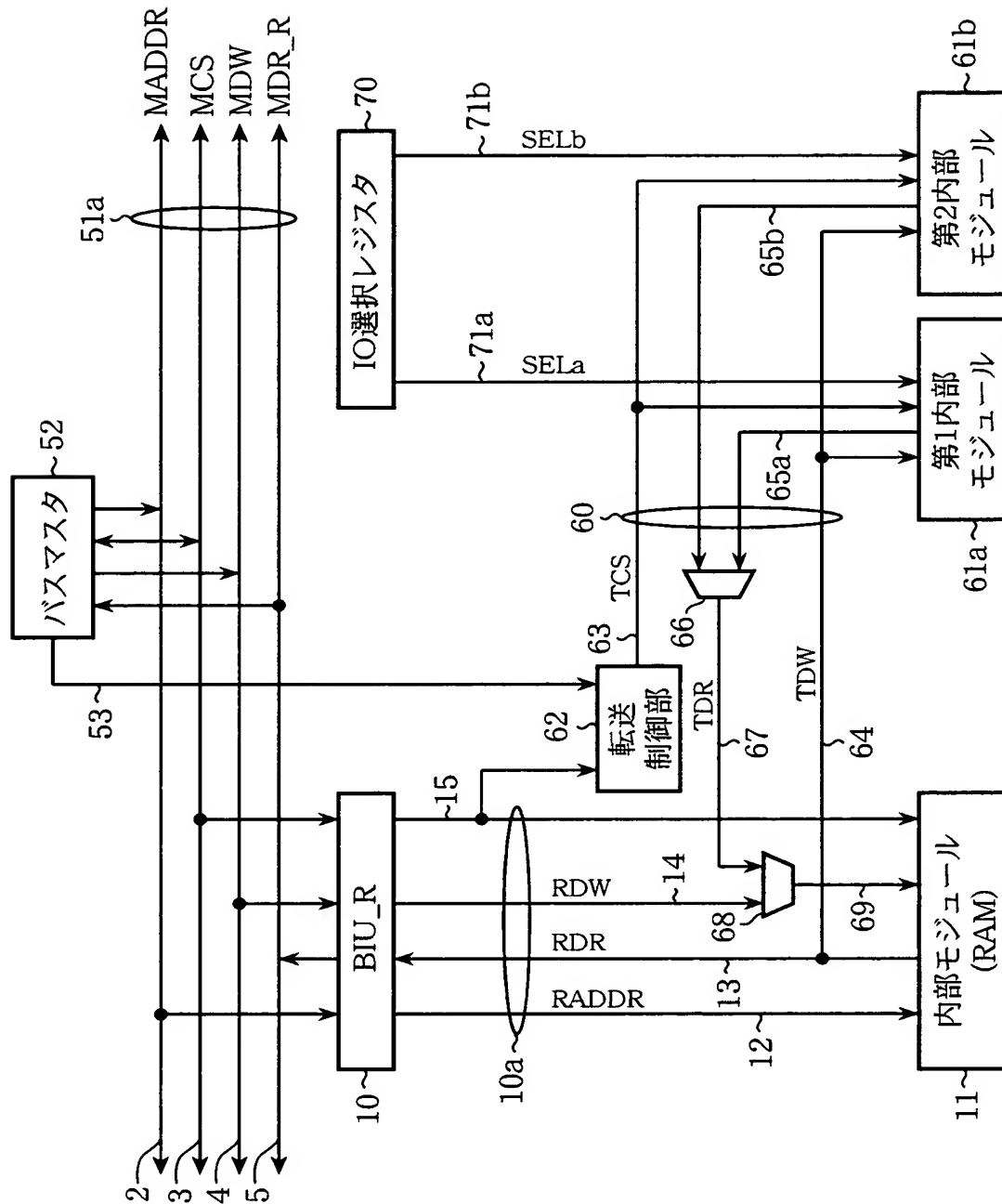
【図 6】



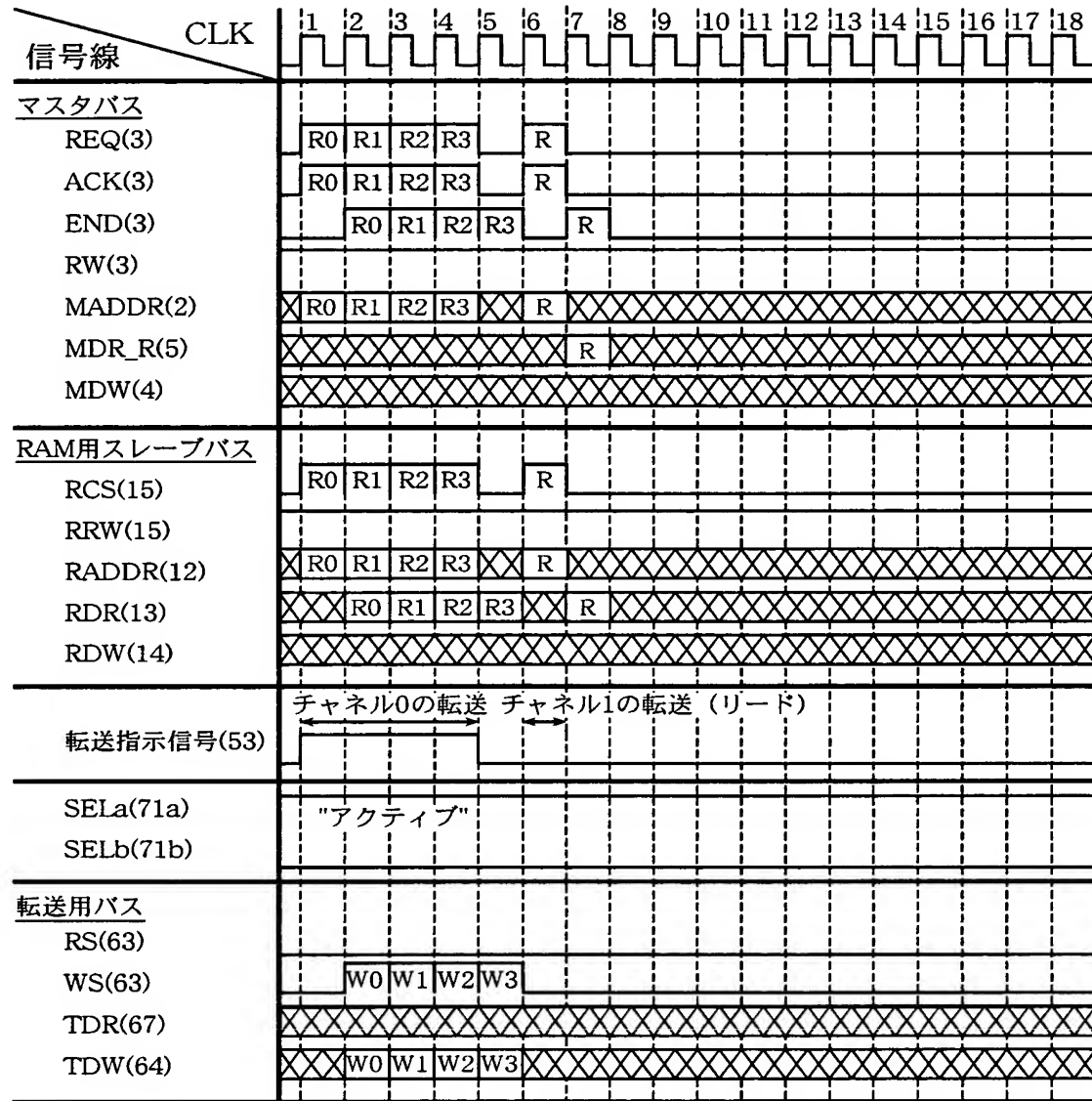
【図 7】



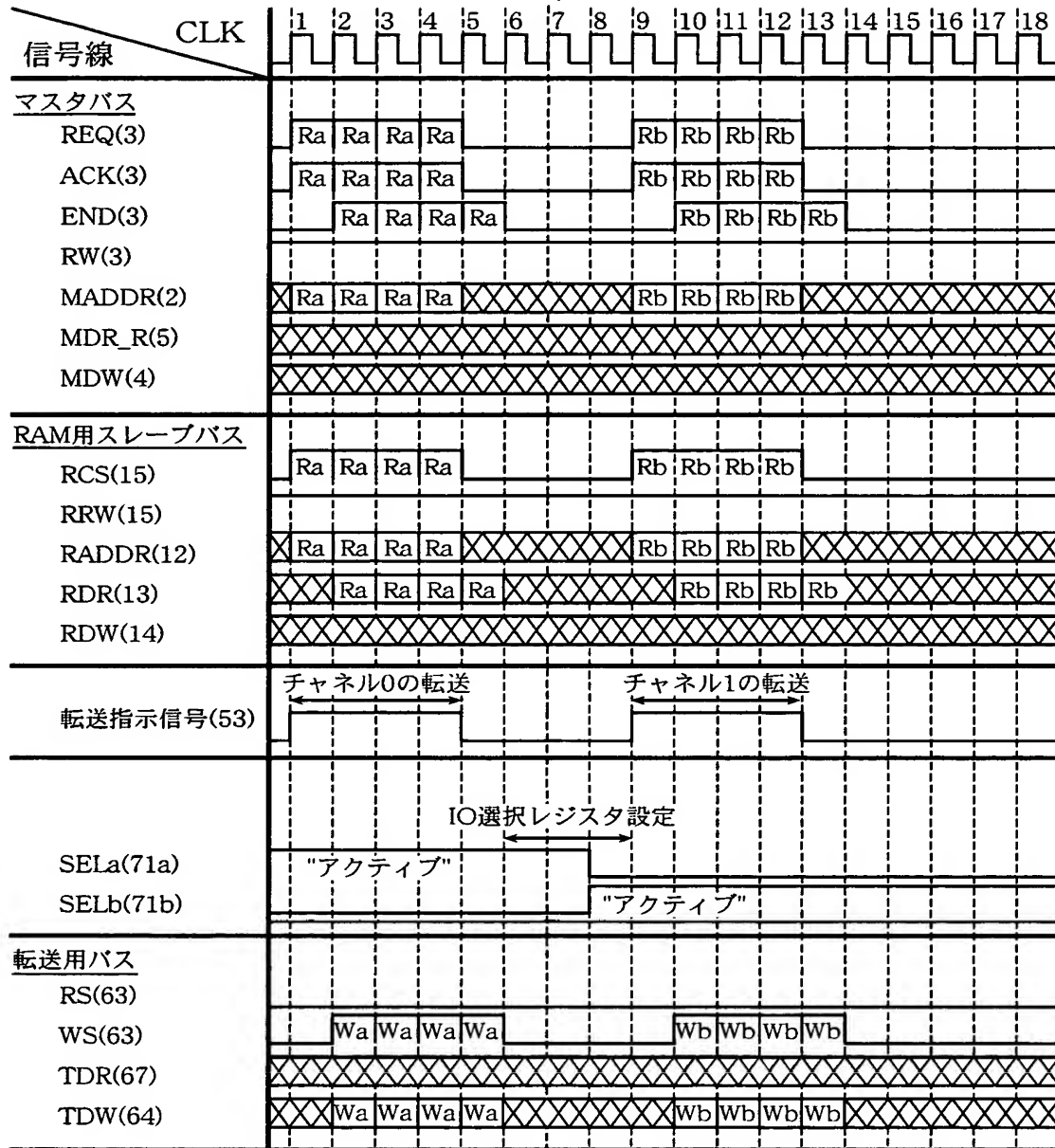
【図 8】



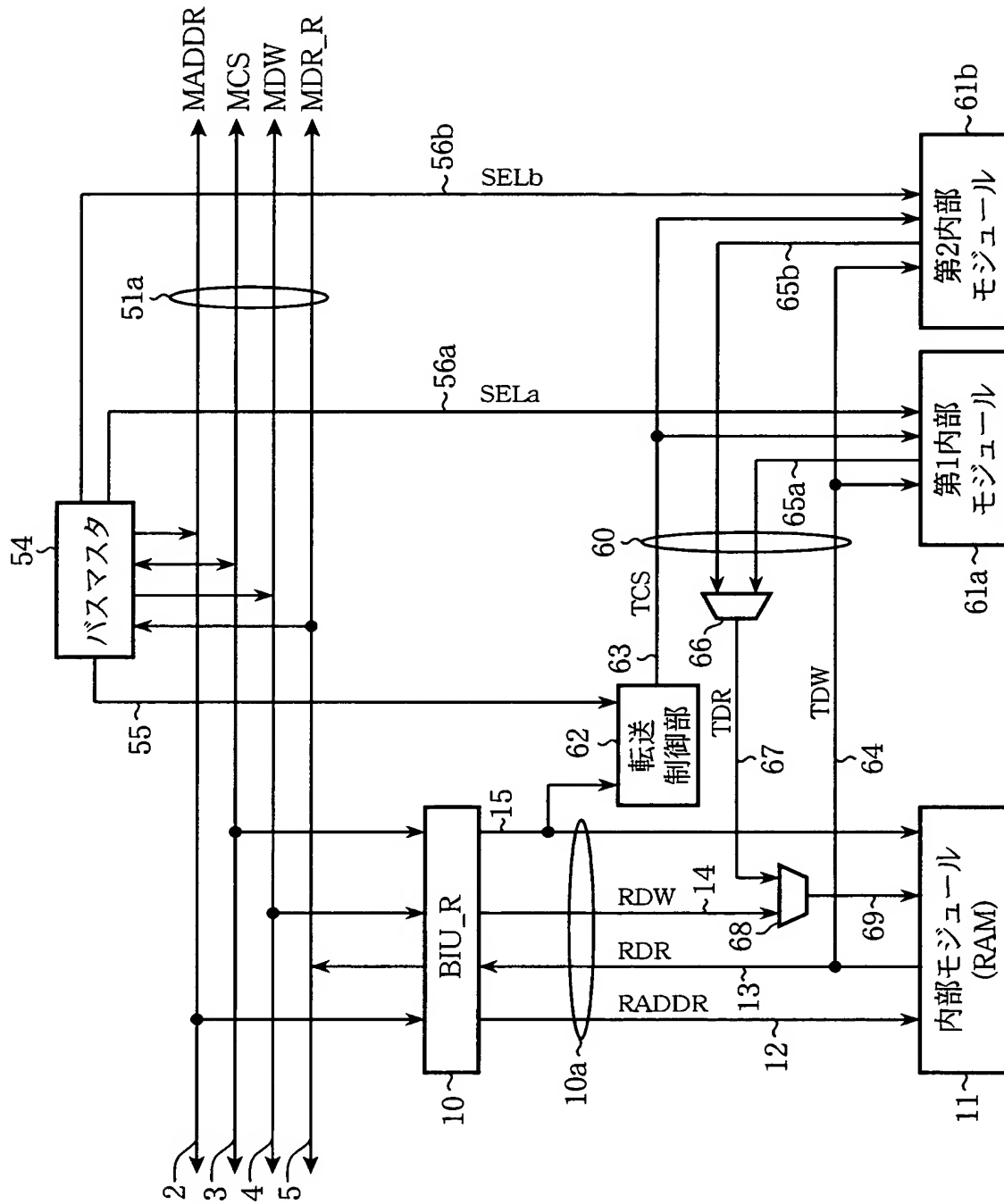
【図 9】



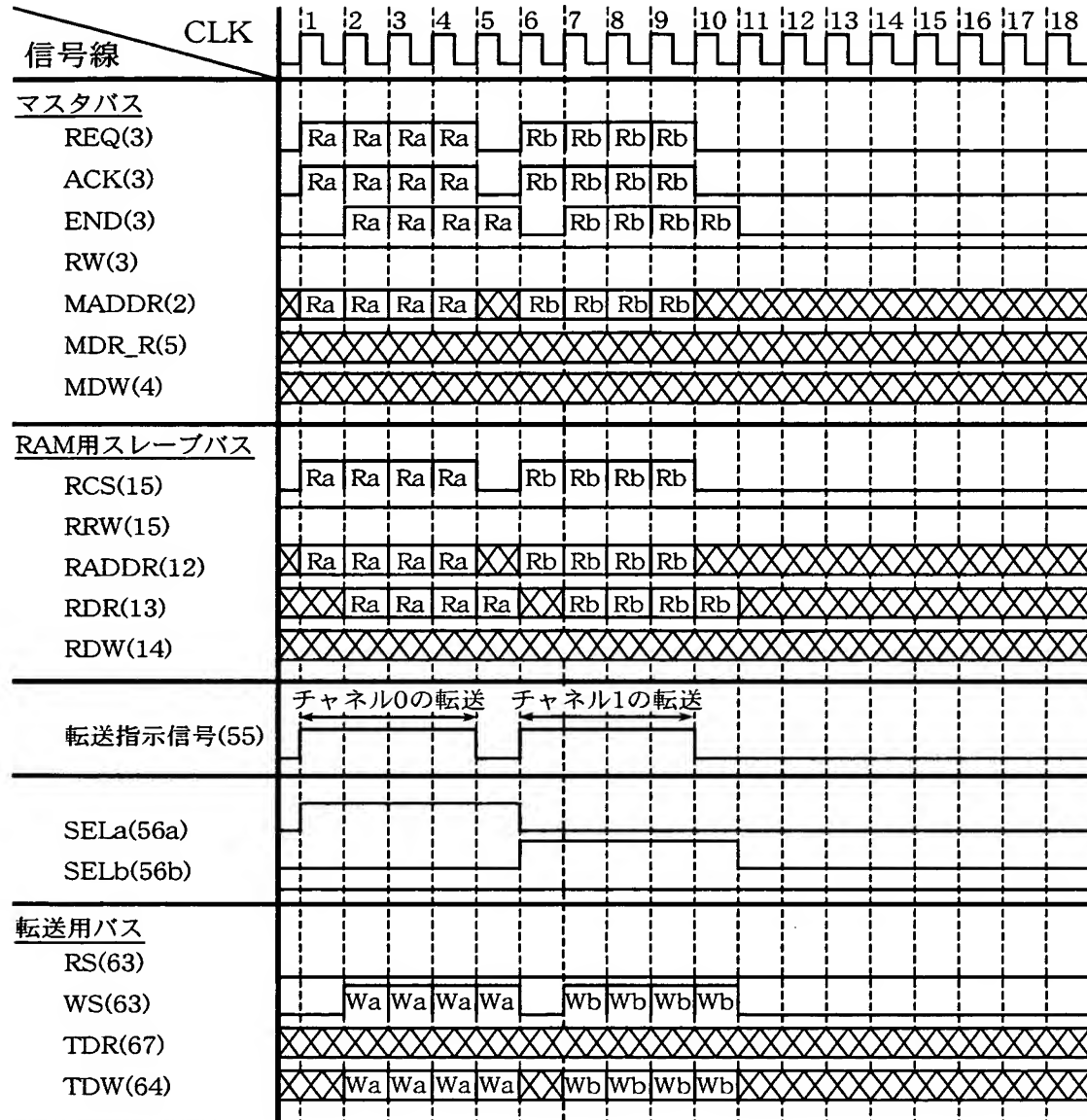
【図 1 0】



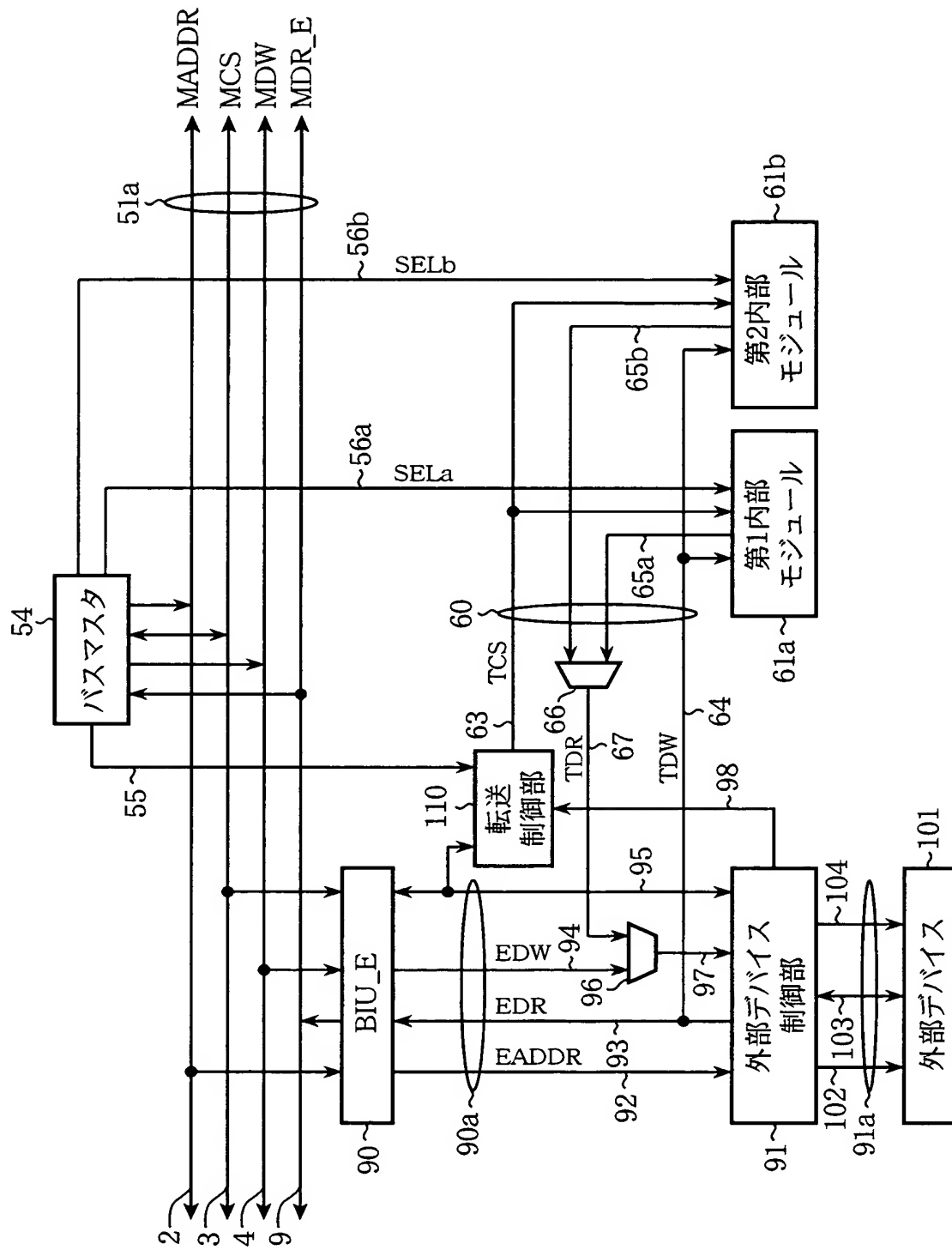
【図 11】



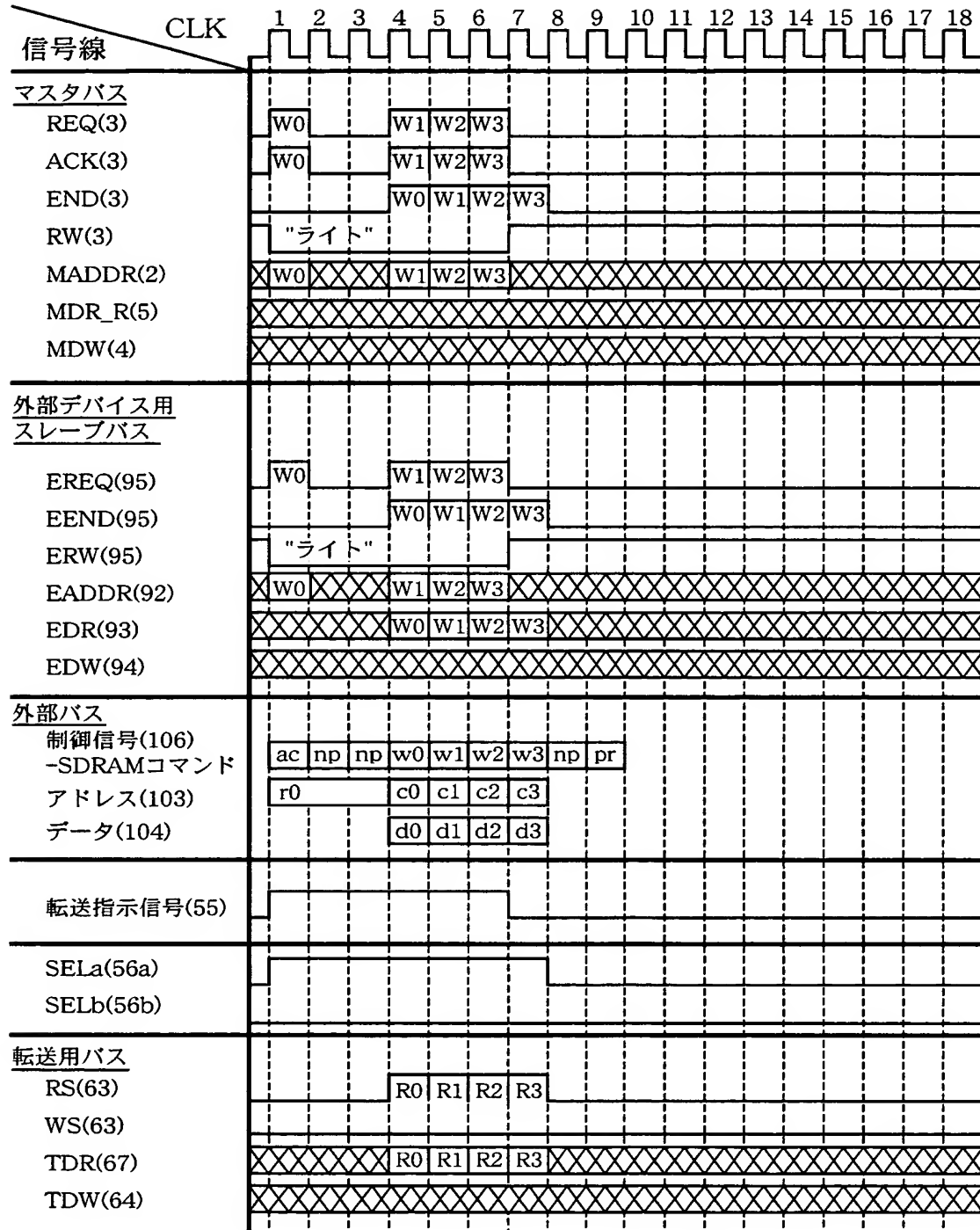
【図 1 2】



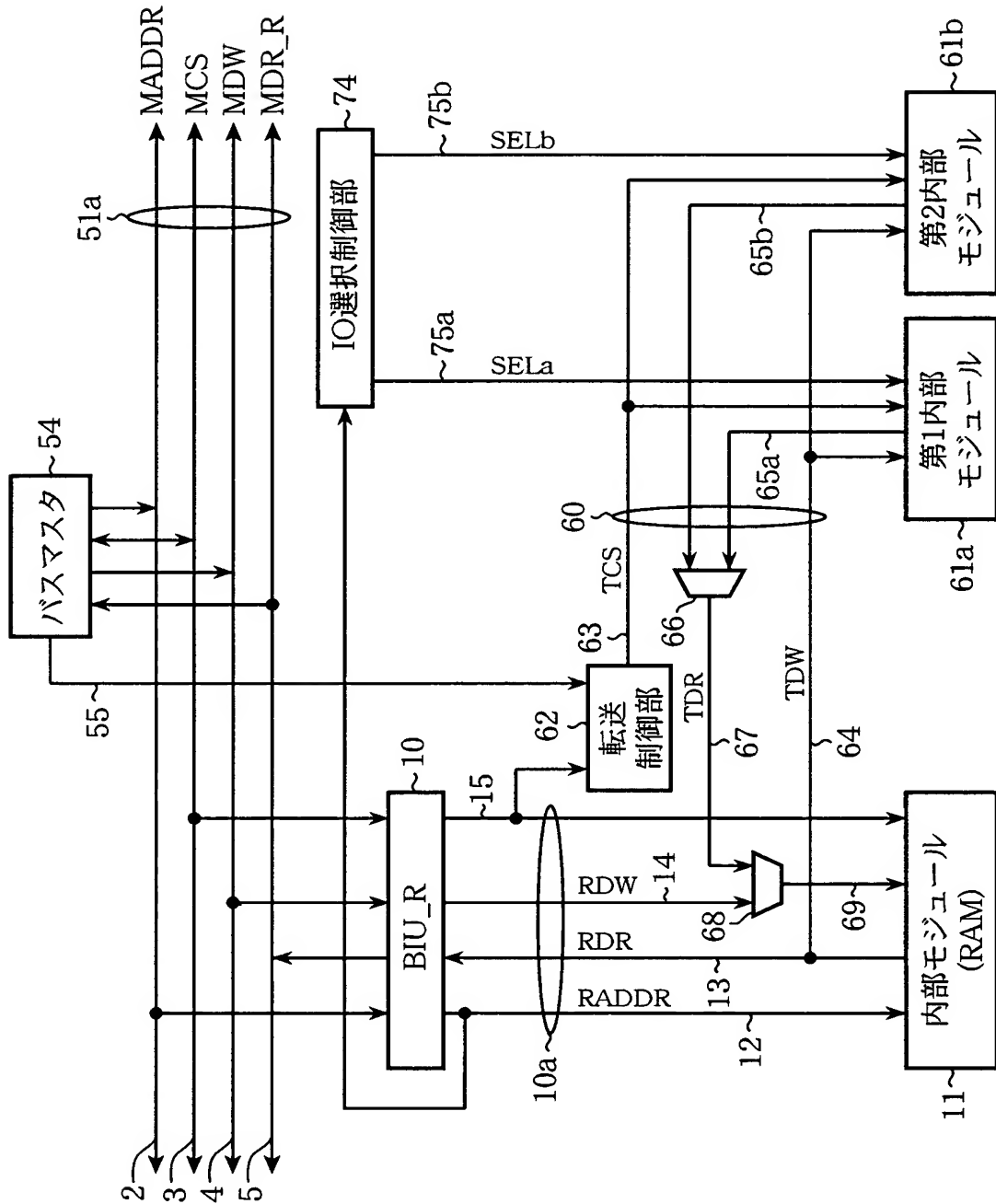
【図 13】



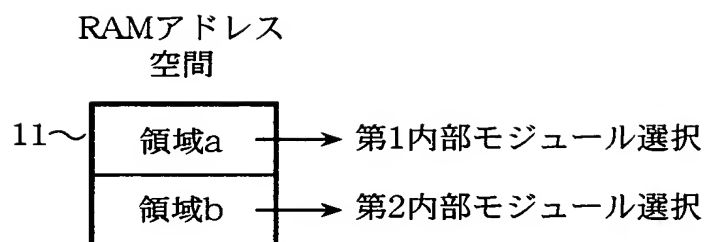
【図 1 4】



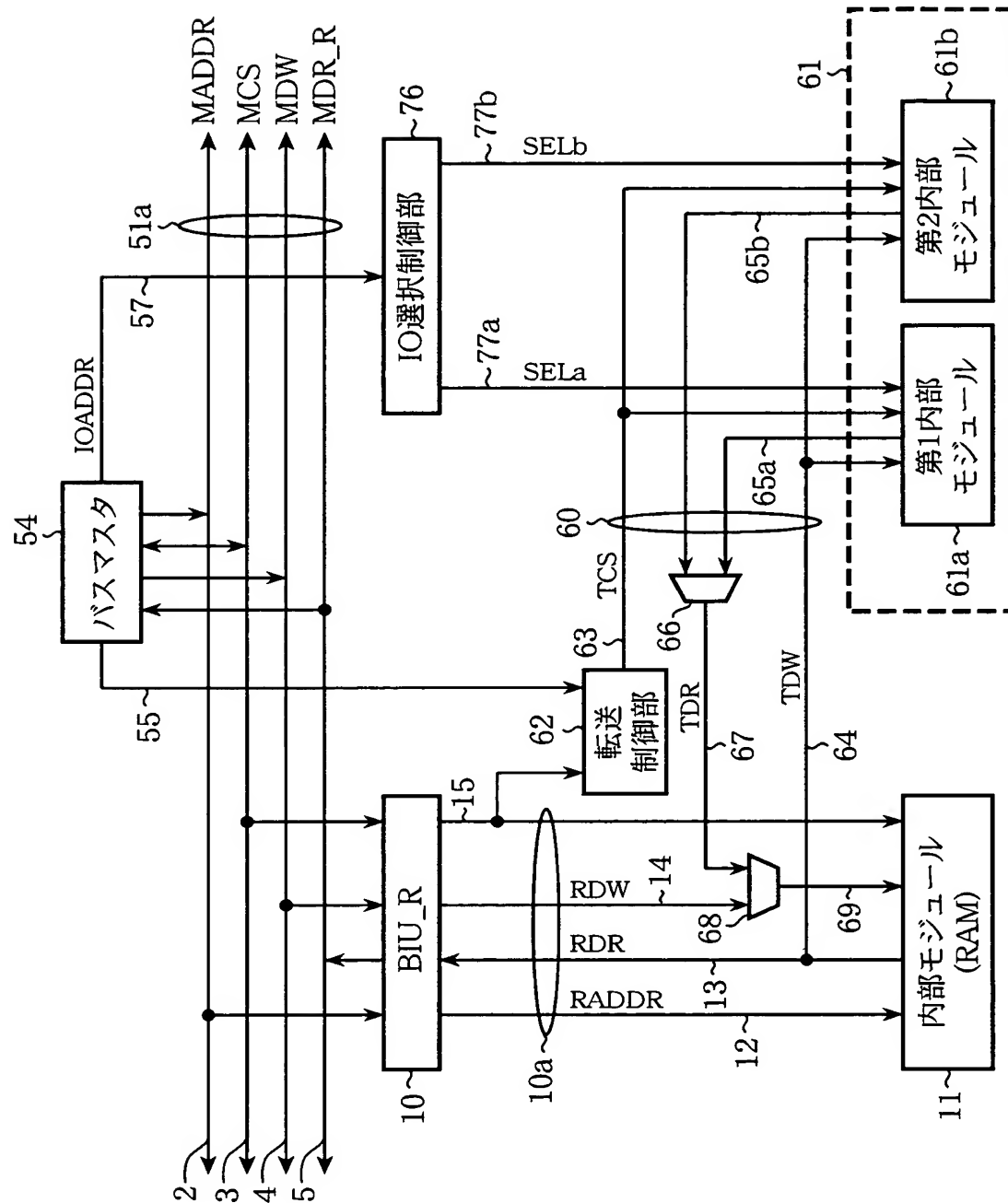
【図 1 5】



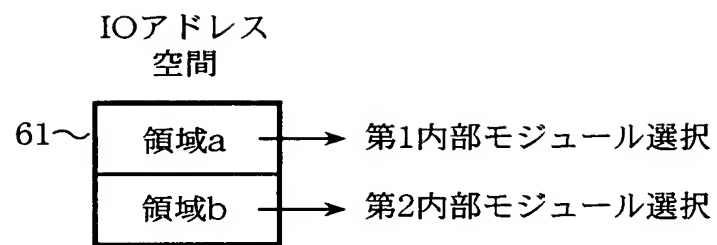
【図 1 6】



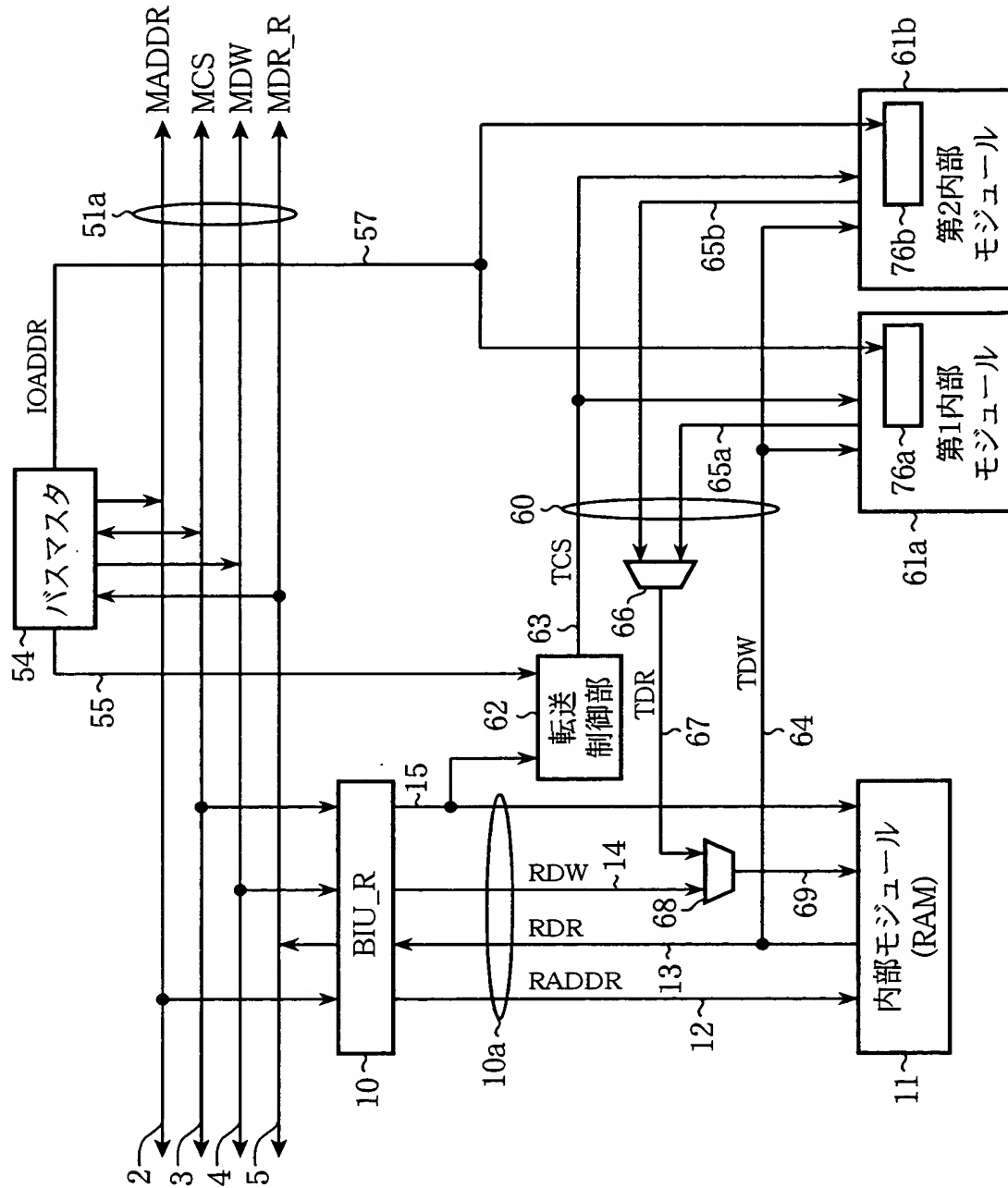
【图 1 7】



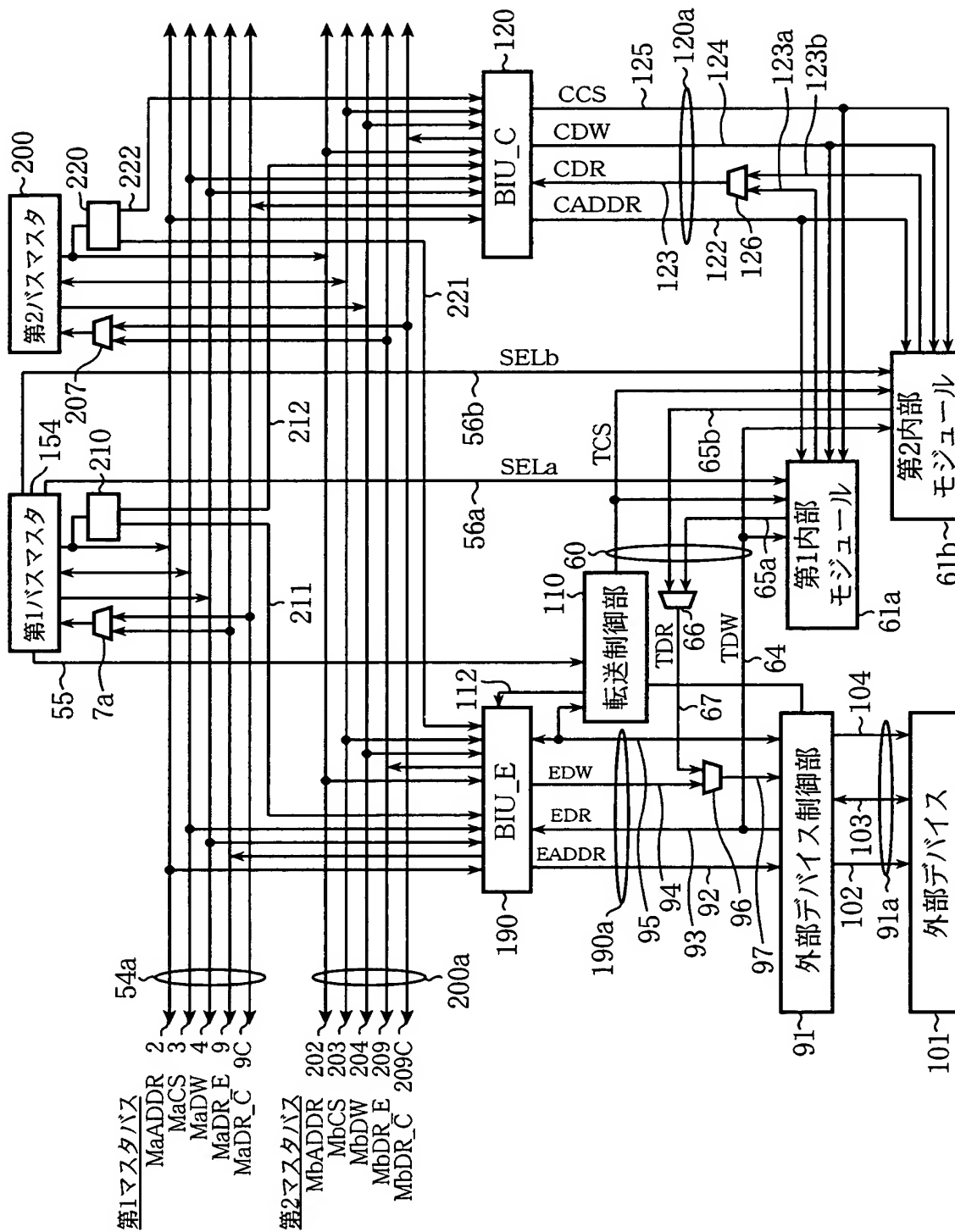
【図 1 8】



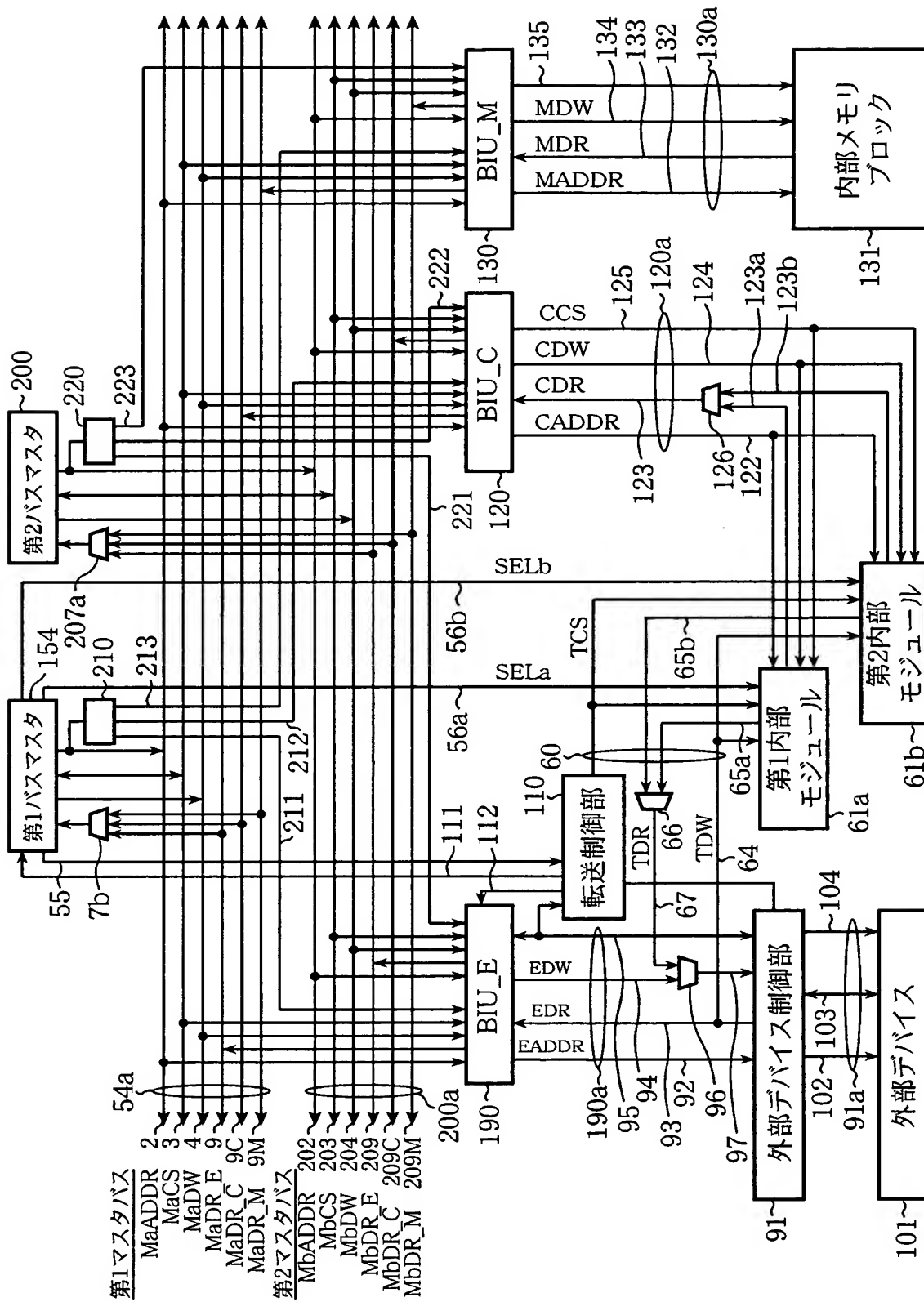
【図19】



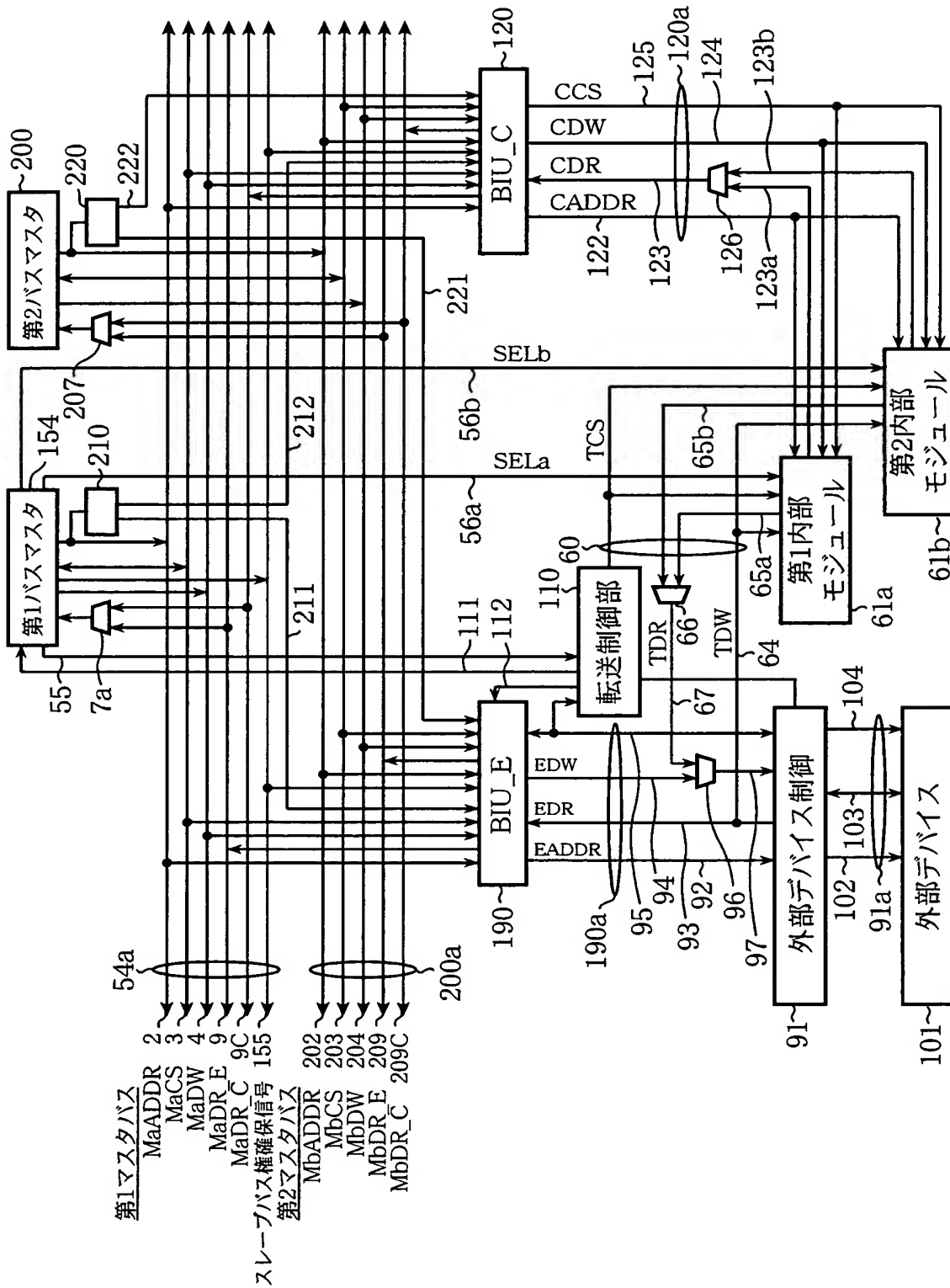
【図20】



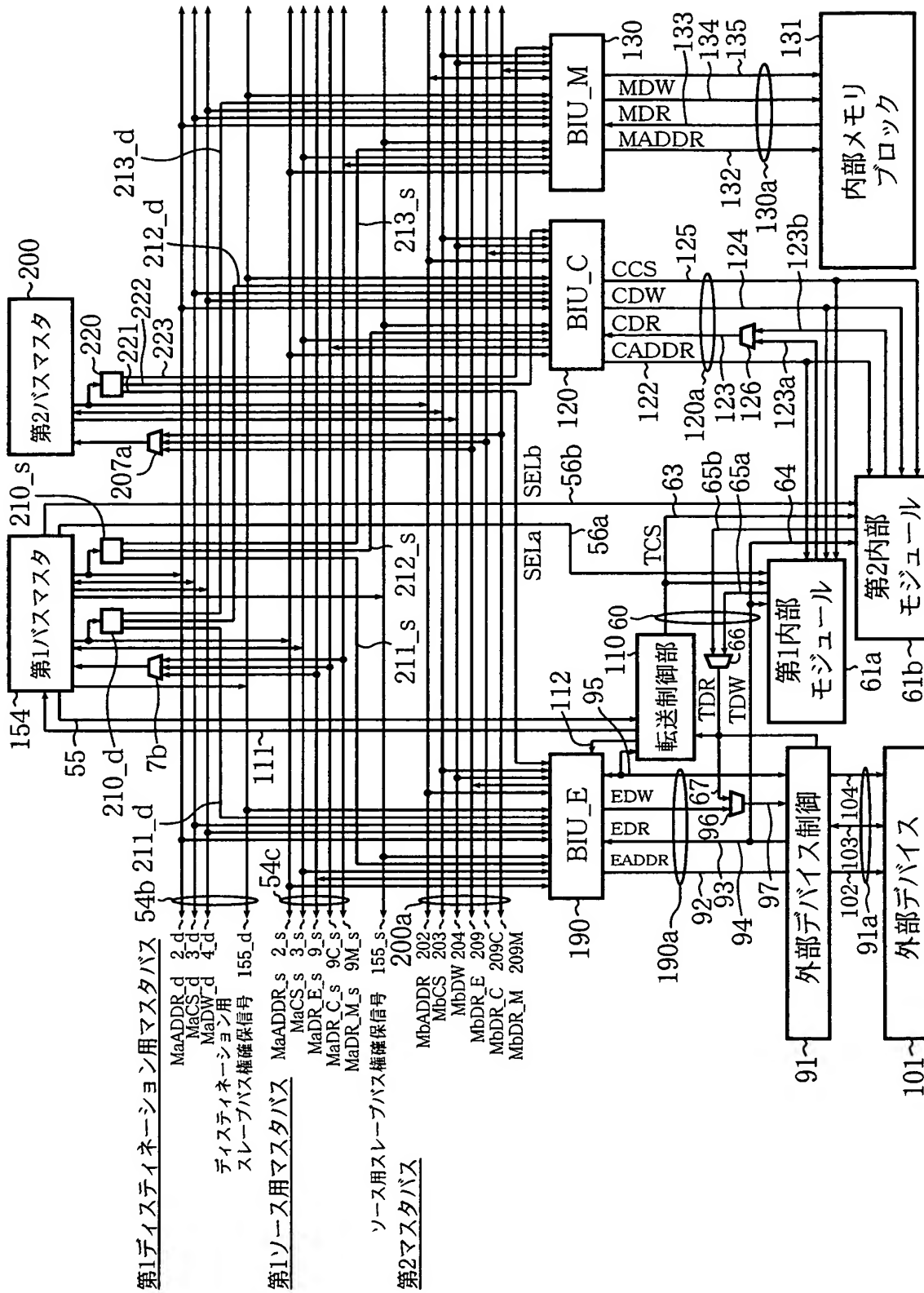
【図 21】



【図22】



【図 23】



【書類名】 要約書

【要約】

【課題】 少ない数のクロックサイクルで効率よく、且つ迅速にデータ転送を行うことができるデータ転送制御装置を提供する。

【解決手段】 バスマスタ51にマスタバス51aを介して接続されたBIU__R10を介して接続された複数のバススレーブ11、61a及び61bと、この複数のバススレーブ11、61a及び61bの中の第1バススレーブ11と複数の第2バススレーブ61a及び61bとの間を接続する転送用バス60とを備え、転送指示信号によって転送用バス60を用いたデータ転送を行うことが指示されている時に、複数の第2バススレーブ61a及び61bの中から選択された1つの第2バススレーブ61a又は61bと第1バススレーブ11との間における転送用バス60を用いたデータ転送を、RAM用スレーブバス10a上の制御信号バス15に含まれる制御信号に従って実行する。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ